

# **ECUcore-EP3C**

## **Hardware Manual**

**Auflage Sept. 2011**

Revisionsgeschichte zum Manual:

Datum	Version	Änderung	Bearbeitet
19.04.2010	L-1265d_01	Neuerstellung	K.Otto
13.09.2011	L-1265d_02	kleine Änderungen	D. Krüger

Im Buch verwendete Bezeichnungen für Erzeugnisse, die zugleich ein eingetragenes Warenzeichen darstellen, wurden nicht besonders gekennzeichnet. Das Fehlen der © Markierung ist demzufolge nicht gleichbedeutend mit der Tatsache, daß die Bezeichnung als freier Warenname gilt. Ebenso wenig kann anhand der verwendeten Bezeichnung auf eventuell vorliegende Patente oder einen Gebrauchsmusterschutz geschlossen werden.

Die Informationen in diesem Handbuch wurden sorgfältig überprüft und können als zutreffend angenommen werden. Dennoch sei ausdrücklich darauf verwiesen, daß die Firma SYS TEC electronic GmbH weder eine Garantie noch die juristische Verantwortung oder irgendeine Haftung für Folgeschäden übernimmt, die auf den Gebrauch oder den Inhalt dieses Handbuches zurückzuführen sind. Die in diesem Handbuch enthaltenen Angaben können ohne vorherige Ankündigung geändert werden. Die Firma SYS TEC electronic GmbH geht damit keinerlei Verpflichtungen ein.

Ferner sei ausdrücklich darauf verwiesen, daß SYS TEC electronic GmbH weder eine Garantie noch die juristische Verantwortung oder irgendeine Haftung für Folgeschäden übernimmt, die auf falschen Gebrauch oder falschen Einsatz der Hard- bzw. Software zurückzuführen sind. Ebenso können ohne vorherige Ankündigung Layout oder Design der Hardware geändert werden. SYS TEC electronic GmbH geht damit keinerlei Verpflichtungen ein.

© Copyright 2011 SYS TEC electronic GmbH. Alle Rechte vorbehalten. Kein Teil dieses Buches darf in irgendeiner Form ohne schriftliche Genehmigung der Firma SYS TEC electronic GmbH unter Einsatz entsprechender Systeme reproduziert, verarbeitet, vervielfältigt oder verbreitet werden.

<b>Kontakt</b>	<b>Direkt</b>	<b>Ihr Lokaler Distributor</b>
Adresse:	SYS TEC electronic GmbH August-Bebel-Str. 29 D-07973 Greiz GERMANY	Sie finden eine Liste unserer Distributoren unter  <a href="http://www.systemec-electronic.com/distributors">http://www.systemec-electronic.com/distributors</a>
Angebots-Hotline:	+49 (0) 36 61 / 62 79-0 <a href="mailto:info@systemec-electronic.com">info@systemec-electronic.com</a>	
Technische Hotline:	+49 (0) 36 61 / 62 79-0 <a href="mailto:support@systemec-electronic.com">support@systemec-electronic.com</a>	
Fax:	+49 (0) 36 61 / 6 79 99	
Webseite:	<a href="http://www.systemec-electronic.com">http://www.systemec-electronic.com</a>	

2. Auflage Sept. 2011



---

Inhaltsverzeichnis

<b>1</b>	<b>Einleitung</b> .....	<b>1</b>
<b>2</b>	<b>Bestelloptionen und Support</b> .....	<b>3</b>
<b>3</b>	<b>Eigenschaften</b> .....	<b>5</b>
	3.1 Überblick.....	5
	3.2 Blockdiagramm.....	5
<b>4</b>	<b>Pinbelegung</b> .....	<b>6</b>
<b>5</b>	<b>Jumper</b> .....	<b>9</b>
<b>6</b>	<b>Funktion</b> .....	<b>11</b>
	6.1 FPGA.....	11
	6.2 Konfigurations-Flash.....	11
	6.3 JTAG .....	12
	6.4 EEPROM.....	13
	6.5 SRAM.....	13
	6.6 Ethernet-PHYs .....	15
	6.7 sonstige Peripherie .....	16
	6.8 Spannungsversorgung .....	17
	6.9 Reset-IC.....	17
<b>7</b>	<b>Entwicklungsumgebung</b> .....	<b>19</b>
<b>8</b>	<b>Technische Daten</b> .....	<b>20</b>

## Abbildungsverzeichnis

Abbildung 1	Blockdiagramm.....	5
Abbildung 2	Pinbelegung .....	6

## Tabellenverzeichnis

Tabelle 1	Pinbelegung X100 .....	7
Tabelle 2	Pinbelegung JP1 .....	8
Tabelle 3	Jumper .....	9
Tabelle 4	MSEL-Belegung .....	12
Tabelle 5	JTAG-Beschaltung.....	12
Tabelle 6	EEPROM Signale .....	13
Tabelle 7	SRAM Signale .....	14
Tabelle 8	PHY-Signale .....	15
Tabelle 9	PCB-Signale.....	16

## 1 Einleitung

Dieses Handbuch beschreibt nur die Schaltung und Funktionen des ECUcore-EP3C, nicht aber den FPGA Altera Cyclone-III EP3C selbst (oder pinkompatible Typen). Es wird ergänzt durch das entsprechende FPGA-Handbuch sowie die Dokumentation zu gegebenenfalls mitgelieferter Software. Bitte beachten Sie daher auch diese Dokumentationen.

In diesem Handbuch sowie im dazugehörigen Schaltplan werden low aktive Signale durch einen Schrägstrich "/" vor dem Signalnamen gekennzeichnet (z.B. "/RD"). Die Darstellung "0" deutet auf eine logische Null oder low Pegel hin, während "1" für eine logische Eins oder high Pegel steht. Wenn Widerstände nach VCC oder GND geschaltet sind werden sie im Handbuch als pullup (nach VCC) bzw. pulldown (nach GND) bezeichnet.

### Anmerkungen zum EMV Gesetz für das ECUcore-EP3C



Das ECUcore-EP3C (im Folgenden Produkt genannt) ist als Zulieferteil für den Einbau in ein Gerät (Weiterverarbeitung durch Industrie (siehe § 5 Abs. 5 EMVG)) bzw. als Evaluierungsboard für den Laborbetrieb (zur Hardware- und Softwareentwicklung) bestimmt.

#### **Achtung!**

Das Produkt ist ESD empfindlich und darf nur an ESD geschützten Arbeitsplätzen von geschultem Fachpersonal ausgepackt und gehandhabt bzw. verarbeitet werden. Im Betrieb dürfen ohne weitere Schutzbeschaltung und Prüfung keine Leitungen von mehr als 3 m Länge an die Verbinder angeschlossen werden.

Das Produkt erfüllt die Anforderungen des EMV Gesetz (CE Konformität) nur für den in diesem Handbuch beschriebenen Anwendungsbereich unter Einhaltung der gegebenen Hinweise zur Inbetriebnahme.

Nach dem Einbau in ein Gerät oder bei Änderungen/Erweiterungen an diesem Produkt muß die Konformität nach dem EMV Gesetz neu festgestellt und bescheinigt werden. Erst danach dürfen solche Geräte in Verkehr gebracht werden.

Auszug aus dem EMVG § 5 Abs. 5

Geräte, die ausschließlich zur Verwendung in eigenen Laboratorien, Werkstätten und Räumen hergestellt, Anlagen, die erst am Betriebsort zusammengesetzt werden, und Netze bedürfen keiner EG Konformitätserklärung und CE Kennzeichnung.

Dies gilt auch für Bausätze, die ausschließlich für Funkamateure im Sinne des § 1 Abs. 2 hergestellt und bestimmt sind.

Geräte, die ausschließlich als Zulieferteile oder Ersatzteile zur Weiterverarbeitung durch Industrie, Handwerk oder sonstige auf dem Gebiet der elektromagnetischen Verträglichkeit fachkundige Betriebe hergestellt und bereitgehalten werden, brauchen weder die Schutzanforderungen gemäß § 4 Abs. 1 einzuhalten noch bedürfen sie einer EG Konformitätserklärung oder CE Kennzeichnung, vorausgesetzt, es handelt sich dabei nicht um selbständig betreibbare Geräte.



---

## 2 Bestelloptionen und Support

Artikel-Nr.	Bezeichnung
4001018	ECUcore-EP3C
4002010	Developmentboard EP3C

Das ECUcore-EP3C besitzt die folgende Konfiguration:

- FPGA Altera Cyclon III Typ: EP3C25F256I7N
- 50MHz Oszillator
- serieller Flash für FPGA ST M25P80-VMN6P
- SPI-EEPROM 32kiB
- highspeed SRAM 2MiB an 32bit-Datenbus
- 2x Ethernet-PHY
- Spannungsregler von 3,3V auf 2,5V und 1,2V
- Reset-IC

Für das Modul gibt es das Developmentboard-EP3C. Dieses Board wurde erstellt um die POWERLINK-Fähigkeit des Modules als stand-alone-Variante oder in Zusammenarbeit mit einer Host-CPU zu entwickeln und demonstrieren. Als Host-CPU kann dabei das ECUcore-9G20 mit einem Atmel ARM9 Mikrocontroller zum Einsatz kommen. Es ist aber auch möglich damit eigene, POWERLINK-unabhängige Entwicklungen durchzuführen.

ECUcore-EP3C relevante Eigenschaften des Developmentboards:

- Steckernetzteil 230VAC auf 12VDC
- Spannungsregler von 12VDC auf 3,3VDC
- Sockel für ECUcore-EP3C
- 2 Ethernet-Buchsen mit Übertrager und LED's
- 1 DSUB9-Stecker einschl. RS232-Transceiver
- 4 LED's, 4 Taster für IO-Test
- Run-LED, Error-LED
- 2 Hexcode-Schalter an SPI-Anschlüssen
- Reset-Taster
- JTAG-Stiftleiste
- zusätzlich Sockel für ECUcore-9G20 einschl. Peripherie



## 3 Eigenschaften

### 3.1 Überblick

Das ECUcore-EP3C ist ein Modul, welches einen FPGA mit Speicheranschaltung und Ethernet-Interfaces beherbergt. Damit ist es möglich ohne umfangreiche Peripherie einen Softprozessor oder ein eigenes FPGA-Design zu implementieren. Aufgrund der Anordnung der schnellen Komponenten (RAM, Flash, PHY's) auf dem Modul kann die Basisplatine einfach und damit preiswert realisiert werden. Dem entspricht auch das einfach zu adaptierende Rastermaß der Steckverbinder in RM 2,54.

### 3.2 Blockdiagramm

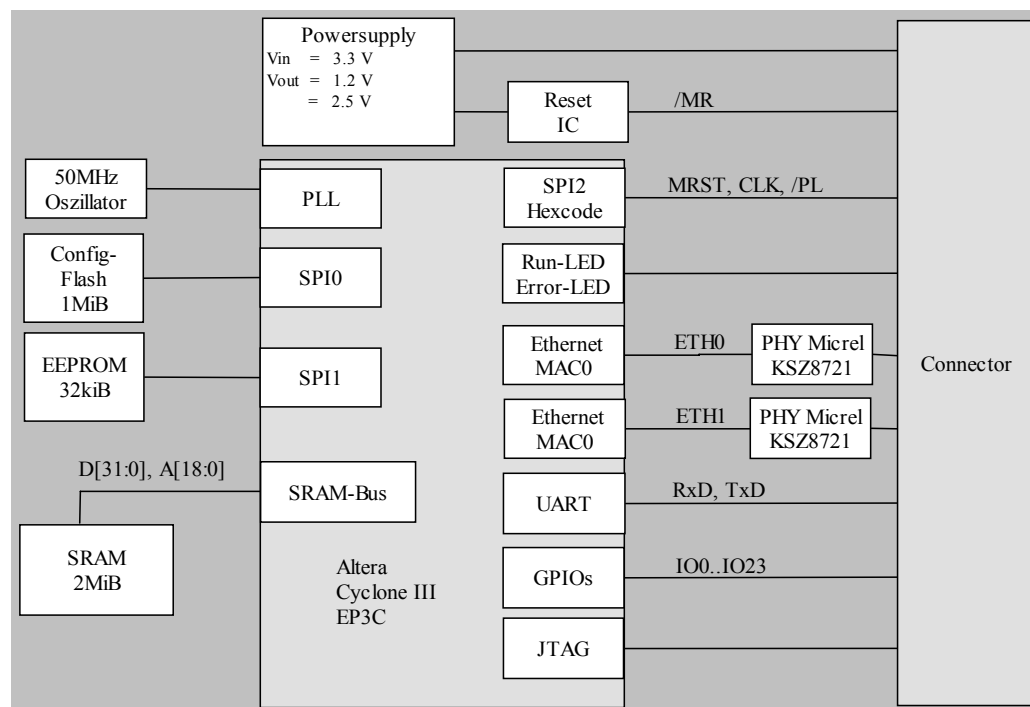
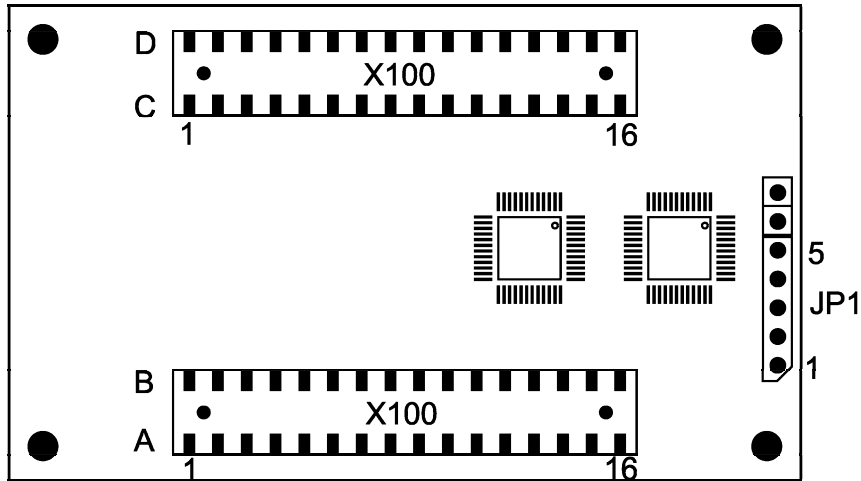


Abbildung 1 Blockdiagramm

## 4 Pinbelegung

Das folgende Bild zeigt das Modul mit Ansicht auf die Buchsenleisten.



4268.0 - ECUcore-EP3C

Abbildung 2 Pinbelegung

Pinbelegung X100:

Pin	Name	Anschluss	Pin	Name	Anschluss
<b>A</b>			<b>B</b>		
1	IO0	FPGA-Pin J2	1	IO1	FPGA-Pin J1
2	IO2	FPGA-Pin K2	2	GND	
3	IO3	FPGA-Pin K1	3	IO4	FPGA-Pin L2
4	IO5	FPGA-Pin L1	4	IO6	FPGA-Pin N2
5	GND		5	IO7	FPGA-Pin N1
6	IO8	FPGA-Pin K5	6	IO9	FPGA-Pin L4
7	IO10	FPGA-Pin R1	7	IO11	FPGA-Pin P2
8	IO12	FPGA-Pin P1	8	GND	
9	IO13	FPGA-Pin N3	9	IO14	FPGA-Pin T15
10	IO15	FPGA-Pin N12	10	IO16	FPGA-Pin N14
11	GND		11	IO17	FPGA-Pin P15
12	IO18	FPGA-Pin P16	12	IO19	FPGA-Pin R16
13	IO20	FPGA-Pin N16	13	IO21	FPGA-Pin N15
14	IO22	FPGA-Pin L13	14	GND	
15	/MR	Reset-IC /MR	15	IO23	FPGA-Pin L16
16	+3V3		16	GND	

Pin	Name	Anschluss	Pin	Name	Anschluss
<b>C</b>			<b>D</b>		
<b>1</b>	TDI	FPGA-TDI	<b>1</b>	TDO	FPGA-TDO
<b>2</b>	GND		<b>2</b>	TCK	FPGA-TCK
<b>3</b>	TMS	FPGA-TMS	<b>3</b>	RxD0	FPGA-Pin G2
<b>4</b>	Hex-MRST	FPGA Pin N11	<b>4</b>	TxD0	FPGA Pin G1
<b>5</b>	Hex-PL	FPGA Pin T14	<b>5</b>	GND	
<b>6</b>	Err-LED	FPGA Pin F14	<b>6</b>	Hex-CLK	FPGA Pin M10
<b>7</b>	Run-LED	FPGA Pin C11	<b>7</b>	Eth0_Link	PHY0 LED0
<b>8</b>	GND		<b>8</b>	Eth0_Speed	PHY0 LED1
<b>9</b>	+2V5_Eth0	PHY0-VDDRCV	<b>9</b>	Eth0_Tx-	PHY0 Tx-
<b>10</b>	Eth0_Rx-	PHY0 Rx-	<b>10</b>	Eth0_Tx+	PHY0 Tx+
<b>11</b>	Eth0_Rx+	PHY0 Rx+	<b>11</b>	GND	
<b>12</b>	Eth1_Link	PHY1 LED0	<b>12</b>	Eth1_Speed	PHY1 LED1
<b>13</b>	GND		<b>13</b>	+2V5_Eth1	PHY1 VDDRCV
<b>14</b>	Eth1_Rx-	PHY1 Rx-	<b>14</b>	Eth1_Tx-	PHY1 Tx-
<b>15</b>	Eth1_Rx+	PHY1 Rx+	<b>15</b>	Eth1_Tx+	PHY1 Tx+
<b>16</b>	+3V3		<b>16</b>	GND	

Tabelle 1 Pinbelegung X100

Der Name der IO-Pins kommt von der ursprünglichen Verwendung als stand-alone POWERLINK-Node. Auf dem Developmentboard ECUcore-EP3C wurde die Peripherie (z.B. Hex-Schalter) entsprechend dieser Pinbelegung angeschlossen.

Alle Pins sind direkt mit den IC's auf dem Modul verbunden. Deshalb ist beim Handling und bei der externen Anschaltung größte Sorgfalt anzuwenden!

Alle IO- und Kommunikations-Pins sind in 3,3V-Technik ausgeführt.

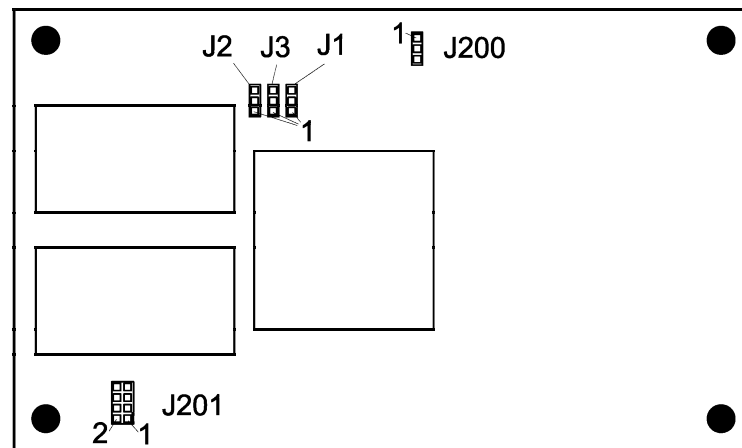
Für Test-Zwecke wurden weitere 4 FPGA-Pins auf zusätzliche Anschlussbohrungen (JP1) gelegt.

Pinbelegung JP1

<b>Pin</b>	<b>Name</b>	<b>Anschluss</b>
1	DBG0	FPGA Pin B1
2	DBG1	FPGA Pin C2
3	DBG2	FPGA Pin D1
4	DBG3	FPGA Pin G5
5	GND	

*Tabelle 2 Pinbelegung JP1*

## 5 Jumper



4268.0 - ECUcore-EP3C

Bild 1 Lötjumper-Positionen

### Jumper Funktion und Belegung

Jumper	Belegung	Funktion
		Konfigurations-Mode des FPGA
		MSEL=101: Active Serial Fast Mode
J1	1-2 default	FPGA MSEL0 = 1
	2-3	FPGA MSEL0 = 0
J2	1-2	FPGA MSEL1 = 1
	2-3 default	FPGA MSEL1 = 0
J3	1-2 default	FPGA MSEL2 = 1
	2-3	FPGA MSEL2 = 0
J200	1-2	EEPROM /WP = low
	2-3	EEPROM /WP = high
J201	1-2	Darstellung der PCB und Bestückungsvariante. Wert offen=0; geschlossen=1 z.B. PCB 4268.1: Jumper auf 1-2 PCB 4268.2: Jumper auf 3-4
	3-4	
	5-6	
	7-8	

Tabelle 3 Jumper

Alle Lötjumper sind 0R-Widerstände in der Bauform 0402.





---

## 6 Funktion

### 6.1 FPGA

Auf dem Modul wird der Altera CycloneIII-FPGA EP3C25I7N im Gehäuse FBGA256 verwendet. Alternativ können auch der EP3C16, EP3C10 oder der EP3C5 bestückt werden.

Der FPGA wird mit einer IO-Spannung von 3,3V versorgt. Damit können die IO's als 3,3V-LVTTL bzw. 3,3V-LVCMOS ausgeführt werden.

An Pin E2 (CLK0) ist ein 50MHz-Oszillator angeschlossen. Dieser Takt wird verwendet um den FPGA zu versorgen, wobei eine FPGA-interne PLL dazu benutzt werden kann diesen Takt zu manipulieren. Weiterhin wird der Takt für die Ethernet-PHY's benötigt. Hierfür ist er entweder auf 25MHz zu teilen und auf Pin R13 (MII-Betrieb), oder als 50MHz-Takt auf R6(PHY0) und R12(PHY1) ausgegeben (RMII-Betrieb).

### 6.2 Konfigurations-Flash

Da der FPGA die Konfiguration bei jedem power off verliert, wird ein serieller Flash zur nichtflüchtigen Datenspeicherung verwendet. Standardmäßig wird ein passiver Flash von ST verwendet, der M25P80-VMN6P. Dieser Typ kann variieren, je nach eingesetztem FPGA und zusätzlichen Sicherheitsmechanismen (doppelte Datenspeicherung).

Der Flash wird über den Konfigurations-SPI-Bus angesteuert. Es stehen 2 Modi zu Auswahl, welche über die Lötjumper J1-3 eingestellt werden können.

<b>J1 MSEL0</b>	<b>J2 MSEL1</b>	<b>J3 MSEL2</b>	<b>Mode</b>
0	1	0	Fast active serial standard(default)
1	0	1	Fast active serial fast

*Tabelle 4 MSEL-Belegung*

### 6.3 JTAG

Die 4 JTAG-Leitungen (TDI, TDO, TCK und TMS) des FPGA stehen an der Buchsenleiste X100 zu Verfügung.

Folgende Leitungen sind onboard mit Widerständen versehen:

<b>JTAG Signal</b>	<b>onboard Widerstand</b>
TDI	10k pullup
TDO	-
TCK	1k pulldown
TMS	10k pullup

*Tabelle 5 JTAG-Beschaltung*

Über diese Leitungen wird direkt auf den FPGA zugegriffen und es kann durch den FPGA der Konfigurations-Flash programmiert werden.

## 6.4 EEPROM

Es ist ein 32kiB SPI-EEPROM vorhanden, welches an den folgenden FPGA-Pins angeschlossen ist:

<b>EEPROM-Signal</b>	<b>FPGA-Pin</b>	<b>onboard Widerstand</b>
/CS	L15	4,7k pullup
SO	K16	4,7k pullup
SI	K15	-
SCK	J16	4,7k pulldown

*Tabelle 6 EEPROM Signale*

Eine entsprechende SPI-Schnittstelle ist im FPGA zu implementieren. Es wird von Atmel der Typ AT25256AN-10 oder ein pin- und funktionskompatibler EEPROM verwendet.

Das Pin /HOLD wurde auf high gelegt.

Über den Lötjumper J200 kann das WriteProtect-Pin /WP auf high oder low geschalten werden. Default high, siehe Abschnitt 5.

Da es sich um ein Standard SPI-EEPROM im SO-8-Gehäuse handelt, können hier beliebige kleinere EEPROM-Größen alternativ bestückt werden. Ebenso ist es möglich pinkompatible serielle Flash's oder alternative Speicher (z.B. SPI-FRAM der Fa. Ramtron) zu bestücken.

## 6.5 SRAM

Es sind 2 SRAM's mit je 16bit-Datenbus bestückt, welche als ein 32bit-RAM verwendet werden (gleiches /CS). In der folgenden Tabelle ist die Anschaltung an den FPGA beschrieben.

RAM-Signal	FPGA-Pin	RAM-Signal	FPGA-Pin	RAM-Signal	FPGA-Pin
A0	F8	D1	F16	D21	B11
A1	A7	D2	F15	D22	A15
A2	B7	D3	B16	D23	F9
A3	A6	D4	D16	D24	A10
A4	B6	D5	D15	D25	B10
A5	E7	D6	C16	D26	C9
A6	E6	D7	C15	D27	D9
A7	A5	D8	C14	D28	E9
A8	B5	D9	D14	D29	C8
A9	D6	D10	D11	D30	D8
A10	A4	D11	D12	D31	E8
A11	B4	D12	A13	/CS	J15
A12	A2	D13	B13	/OE	J14
A13	A3	D14	A14	/WE	J13
A14	D5	D15	B14	/LB-RAM0	H16
A15	B3	D16	E11	/UB-RAM0	H15
A16	C3	D17	E10	/LB-RAM1	G16
A17	D3	D18	A12	/UB-RAM1	G15
A18	F2	D19	B12		
D0	F13	D20	A11		

Tabelle 7 SRAM Signale

D0-D15 liegen an RAM0, D16-D31 an RAM1, so kann z.B. mit /LB-RAM0 auf D0-D7 zugegriffen werden usw. A0-A18 ist die Bezeichnung am RAM, d.h. bei 32bit-Zugriff ist im RAM-Interface des FPGA A2 auf die Leitung A0 zu legen und alle anderen Adressleitungen um zwei zu verschieben

Es wird 2x von ISSI der Typ IS61WV51216BLL-10TLI oder ein pin- und funktionskompatibler RAM verwendet. Damit stehen 2MiB mit 10ns Zugriffszeit zur Verfügung. Der RAM ist im Standard 44Pin-TSOP2-Gehäuse ausgeführt, so dass auch alternativ kleinere oder langsamere Speicher bestückbar sind.

## 6.6 Ethernet-PHYs

Auf dem Modul sind 2 Ethernet-PHY's von Micrel Typ KSZ8721BLI vorhanden. Diese sind so mit dem FPGA verbunden dass die Kommunikation über ein MII oder RII Interface erfolgen kann.

FPGA-Interface:

PHY-Signal	FPGA-Pin (PHY0)	FPGA-Pin (PHY1)
RXD0	P3	L7
RXD1	R3	R7
RXD2	T3	T7
RXD3	T2	L8
RXER	R4	M8
RXDV	T4	N8
RXC	M2	M1
TXD0	N5	P8
TXD1	N6	N9
TXD2	M6	R10
TXD3	M7	T10
TXER	R5	R11
TXEN	T5	T11
TXC	R6	R12
COL	F1	P14
CRS	C6	R14
/INT	T6	T12
MDC	P9	
MDIO	T13	
/RES	P11	
XI	R13	

Tabelle 8 PHY-Signale

Pullup-Widerstände sind an MDC, MDIO und COL vorgesehen, ein pulldown an /RES.

An PHY0 ist an /INT ein pulldown angeschlossen, um dieser PHY die Adresse 0 zuzuordnen. An PHY1 ist dieses Pin offen. Damit hat diese PHY die Adresse 1

Extern sind nur noch ein Übertrager und eine RJ45-Buchse erforderlich. Auf dem Developmentboard wird eine Buchse mit integriertem Übertrager verwendet. Die pullup-Widerstände 49,9R an den Tx und Rx-Leitungen sind bereits auf dem Modul vorhanden.

Für die Ansteuerung der Link/Act- sowie Speed-LED ist extern jeweils noch ein Vorwiderstand ca. 270R vorzusehen.

Strapping-Widerstände an den LED-Pins wie im Micrel-Datenblatt dargestellt, sind extern anzuschließen. Alle LED's-Pins sind ohne pullup oder pulldown ausgeführt. Über PHY-interne pullups ist damit die Konfiguration: 100Mbps, full duplex und enable auto negotiation eingestellt. Es besteht jedoch die Möglichkeit pulldowns auch onboard an LED1, 2 und 3 anzuschließen.

Die 2,5V-Spannung erzeugen die PHY's intern. Diese Spannung ist nur für den Ethernet-Übertrager vorgesehen und nicht für andere Schaltungen zu verwenden!

## 6.7 sonstige Peripherie

Um die Platinenrevision oder Bestückungsvarianten in der Software unterscheiden zu können, stehen 4 Lötjumper zur Verfügung die an FPGA-Pins angeschlossen sind. Über pulldowns ist an jeder Leitung bei offenem Jumper ein low definiert. Ein geschlossener Jumper (0R) bedeutet high.

Signal	FPGA-Pin	Jumper
PCB0	F3	J201 1-2
PCB1	L3	J201 3-4
PCB2	P6	J201 5-6
PCB3	L14	J201 7-8

*Tabelle 9 PCB-Signale*

Weitere Pins des FPGA wurden für die Verwendung als POWERLINK-Modul mit bestimmten Funktionen (LED's, Hex-Schalter, UART) definiert. Da es sich wieder um FPGA-Pins ohne weitere Beschaltung handelt, können diese Pins auch als beliebige IO's verwendet werden.

---

---

Für den Einsatz als POWERLINK-Modul wurden 2 LED-Ausgänge (Run und Error) vorgesehen. Wenn LED's oder andere Lasten angeschlossen werden sollen, dann ist eine Treiberstufe (FET oder Gatter) zwischenzuschalten. Der FPGA kann pro Pin lediglich 4mA (LVTTL) oder 2mA (LVCMOS) treiben.

Ebenfalls für den Einsatz als POWERLINK-Modul werden 3 FPGA-Pins herausgeführt um einen Hexcodier-Schalter auszulesen. Das Auslesen erfolgt seriell über ein Schieberegister 74165. Dafür werden die Signale Clock, DataIn und ParallelLoad generiert.

Eine serielle Schnittstelle für Debug-Ausgaben wurde mit RxD0 und TxD0 definiert. Hierfür wurde im FPGA eine UART eingerichtet.

## 6.8 Spannungsversorgung

Das Modul benötigt eine Spannung von 3,3VDC  $\pm$  5%. Alle weiteren benötigten Spannungen (1,2V-FPGA-Core, 2,5V-FPGA-PLL) werden onboard erzeugt.

Die Stromaufnahme ist stark von der Applikation und internen Frequenz des FPGA abhängig. Sie beträgt bei einem Modul mit NIOS-Prozessor, und POWERLINK-Software bei einem internen FPGA-Takt des NIOS-Prozessors von 90 MHz ca. 300 mA.

## 6.9 Reset-IC

Der Reset-IC überwacht die 3,3V-Versorgung sowie die onboard erzeugten Spannungen und löst bei Unterschreitung ein Reset-Signal aus.

Zusätzlich besitzt er einen Eingang für manuellen Reset welcher auf X100/A15 gelegt wurde. An diesem Signal ist onboard ein pullup (10k) angebracht, so dass extern nur ein Taster nach GND angeschlossen werden braucht.

Das Reset-Signal ist verbunden mit dem FPGA-Pin E16 und über einen 0R-Widerstand mit nCONFIG des FPGA. Damit wird der FPGA bei jedem Reset zu einem Neuprogrammieren aus dem Konfigurations-Flash veranlasst.



## 7 Entwicklungsumgebung

Als Entwicklungsumgebung für das ECUcore-EP3C wird Altera Quartus II v9.0 oder neuer (Web Edition ist ausreichend) und Altera Nios II Embedded Design Suite v9.0 oder neuer benötigt. Diese Softwarepakete können über die Website von Altera (<http://www.altera.com>) heruntergeladen werden.

Stand 14.09.2011 können die benötigten Setupprogramme unter folgenden Adressen heruntergeladen werden (Referenzentwicklungsumgebung):

[ftp://ftp.altera.com/outgoing/release/90sp2\\_quartus\\_free.exe](ftp://ftp.altera.com/outgoing/release/90sp2_quartus_free.exe)

[ftp://ftp.altera.com/outgoing/release/90\\_nios2eds\\_windows.exe](ftp://ftp.altera.com/outgoing/release/90_nios2eds_windows.exe)

[ftp://ftp.altera.com/outgoing/release/90sp2\\_nios2eds\\_windows.exe](ftp://ftp.altera.com/outgoing/release/90sp2_nios2eds_windows.exe)

Diese müssen in der angegebenen Reihenfolge installiert werden.

Für eigene Entwicklungen mit dem Altera Nios II Softprozessor wird eine entsprechende Lizenz von Altera benötigt. Diese ist nicht in den Entwicklungskits von SYS TEC enthalten.

## 8 Technische Daten

Abmaße LxBxH:	70mm x 42mm x 12mm
Einsatz-Temperaturbereich:	-40/+85 °C
Gewicht:	21 g
Spannungsversorgung:	3,3 VDC±5%
Stromaufnahme (typ.):	300 mA
Steckverbindertyp:	3494-32-50-10-PPST von W+P

Als Steckverbinder sind Buchsenleisten im RM 2.54 mm verwendet worden. Diese haben eine Höhe von 7,4mm. Mit dem Gegenstück (z.B. W+P 144-11-032-00) entsteht ein Platinenabstand zur Basisplatine von ca. 10mm. Die Bauhöhe der anderen Bauelemente auf der Unterseite beträgt max. 2mm, auf der Oberseite max.3mm. Die Platinendicke beträgt 1,6mm.





---

**Dokument:** ECUcore-EP3C  
**Dokumentnummer:** L-1265d\_02, Auflage Sept. 2011

---

**Wie würden Sie dieses Handbuch verbessern?**

---

---

---

---

**Haben Sie in diesem Handbuch Fehler entdeckt?** Seite

---

---

---

---

**Eingesandt von:**

Kundennummer: \_\_\_\_\_

Name: \_\_\_\_\_

Firma: \_\_\_\_\_

Adresse: \_\_\_\_\_

---

**Einsenden an:** SYS TEC electronic GmbH  
August-Bebel-Str. 29  
D-07973 Greiz  
GERMANY  
Fax : +49 (0) 36 61 / 62 79 99

---

Veröffentlicht von

---

© SYS TEC electronic GmbH 2011

**SYS TEC**  
ELECTRONIC

Best.-Nr. L-1265d\_02  
Printed in Germany