

ECUcore-1130

Hardware Manual

Auflage November 2008

Im Buch verwendete Bezeichnungen für Erzeugnisse, die zugleich ein eingetragenes Warenzeichen darstellen, wurden nicht besonders gekennzeichnet. Das Fehlen der © Markierung ist demzufolge nicht gleichbedeutend mit der Tatsache, dass die Bezeichnung als freier Warenname gilt. Ebenso wenig kann anhand der verwendeten Bezeichnung auf eventuell vorliegende Patente oder einen Gebrauchsmusterschutz geschlossen werden.

Die Informationen in diesem Handbuch wurden sorgfältig überprüft und können als zutreffend angenommen werden. Dennoch sei ausdrücklich darauf verwiesen, dass die Firma SYS TEC electronic GmbH weder eine Garantie noch die juristische Verantwortung oder irgendeine Haftung für Folgeschäden übernimmt, die auf den Gebrauch oder den Inhalt dieses Handbuches zurückzuführen sind. Die in diesem Handbuch enthaltenen Angaben können ohne vorherige Ankündigung geändert werden. Die Firma SYS TEC electronic GmbH geht damit keinerlei Verpflichtungen ein.

Ferner sei ausdrücklich darauf verwiesen, dass SYS TEC electronic GmbH weder eine Garantie noch die juristische Verantwortung oder irgendeine Haftung für Folgeschäden übernimmt, die auf falschen Gebrauch oder falschen Einsatz der Hard- bzw. Software zurückzuführen sind. Ebenso können ohne vorherige Ankündigung Layout oder Design der Hardware geändert werden. SYS TEC electronic GmbH geht damit keinerlei Verpflichtungen ein.

© Copyright 2008 SYS TEC electronic GmbH. Alle Rechte vorbehalten. Kein Teil dieses Buches darf in irgendeiner Form ohne schriftliche Genehmigung der Firma SYS TEC electronic GmbH unter Einsatz entsprechender Systeme reproduziert, verarbeitet, vervielfältigt oder verbreitet werden.

Adresse:	SYS TEC electronic GmbH August-Bebel-Str. 29 D-07973 Greiz GERMANY
Angebots-Hotline:	+49 (0) 36 61 / 62 79-0 info@systec-electronic.com
Technische Hotline:	+49 (0) 36 61 / 62 79-0 support@systec-electronic.com
Fax:	+49 (0) 36 61 / 62 79 99
Webseite:	http://www.systec-electronic.com

2. Auflage November 2008

Inhaltsverzeichnis

1	ÜBERBLICK	7
1.1	EINLEITUNG.....	7
1.2	MERKMALE DES ECUCORE-TC1130.....	9
1.3	BLOCKSCHALTBILD	11
2	STECKVERBINDER-ANSCHLUßBELEGUNG	13
3	SPANNUNGSVERSORGUNG UND RESET-EIGENSCHAFTEN	26
3.1	SPANNUNGSVERSORGUNG.....	26
3.2	RESET-EIGENSCHAFTEN	27
3.2.1	<i>Spannungs-Supervisor</i>	27
4	JUMPER UND DIP-SWITCH	29
4.2	8-FACH DIP-SWITCH	31
5	SYSTEM KONFIGURATION NACH POWER-ON-RESET	33
6	SYSTEM-SPEICHER	35
6.1	BUSTRANSCEIVER	37
6.2	SDR-DRAM.....	37
6.3	FLASH MEMORY.....	40
7	ON-CHIP-DEBUG SUPPORT	42
7.1	OCDS LEVEL 1/JTAG-INTERFACE.....	42
7.2	OCDS LEVEL 2	42
8	ETHERNET CONTROLLER (PHY U701)	43
9	I²C-BUS	44
9.1	TEMPERATURSENSOR (U607).....	44
9.2	REAL-TIME-CLOCK RTC-8564J (U606).....	45
10	SPI-INTERFACE	47
11	FPGA LATTICE ECP2-6	48
12	VORGABEN FÜR DIE BASISPLATINE	49
12.1	ERWEITERUNGEN AM LOCAL-MEMORY-BUS.....	49
12.2	BESCHALTUNG FÜR JTAG-INTERFACE	49
12.3	BESCHALTUNG PORT PINS DES TC1130.....	50
13	TECHNISCHE DATEN	51

Abbildungsverzeichnis

Abbildung 1: BlockschaltbildKomponentenplatzierung	11
Abbildung 2: Pin-Belegung Steckverbinder.....	13
Abbildung 3: Pin-Belegung der Steckverbinder auf Basisplatine	14
Abbildung 4: Jumper-Beschreibung	29
Abbildung 5: DIP-Switch 8-fach.....	29
Abbildung 8: DIP-Switch mit Erklärung.....	31
Abbildung 9: Struktur Adress/Datenbus.....	36

Tabellenverzeichnis

Tabelle 1: Pinbelegung Steckverbinder 15

Tabelle 4: Bedeutung des Dip-Switch 31

Tabelle 5: Bootverhalten in Abhängigkeit des externen Signal BOOT
(Auswahl)..... 34

Tabelle 6: Belegung der Chip-Select Signale 35

Tabelle 7: Technische Daten SDRAM ECUcore..... 37

Tabelle 8: Werte der EBU-Register für Flash am /CS0..... 40

Tabelle 9: I²C Onboard-Peripherie und die Standardadressen..... 44

Tabelle 10: mögliche Adressen des Temperatursensor TMP101 45

Tabelle 11: Beschaltung des SPI-EEPROM..... 47

Tabelle 12: Eigenschaften ECUcore-1130 52

1 Überblick

1.1 Einleitung

Dieses Handbuch beschreibt nur die Funktionen des ECUcore-1130. Es wird ergänzt durch die Dokumentation zu gegebenenfalls mitgelieferter Software. Bitte beachten Sie daher auch diese Dokumentationen.

In diesem Handbuch sowie im dazugehörigen Schaltplan werden Low-aktive Signale durch einen Schrägstrich "/" vor dem Signalnamen gekennzeichnet (z.B. "/RD"). Die Darstellung "0" steht für eine logische Null oder Low-Pegel, während "1" eine logische Eins oder High-Pegel darstellt.

Das Mikrocontroller-Board ECUcore-1130 integriert alle Elemente eines Mikrocontroller-Systems auf einem Board. Es ermöglicht die Erweiterung des Systems auf verschiedene Ebenen durch Nutzung der integrierten Kommunikationsschnittstellen. Der Kern des Systems, das TriCore-Derivat TC1130 von Infineon, vereint die Funktionalitäten eines RISC-Mikrocontrollers und eines DSP.

Das ECUcore-1130 bietet eine Ethernet-Schnittstelle, drei UART-Schnittstellen, eine USB-Device-Schnittstelle, vier CAN-Schnittstellen, zwei SPI-Bus-Schnittstellen sowie zwei I²C-Schnittstellen zur Kommunikation. Weiterhin besitzt das Board zwei MLI-Schnittstellen (Micro Link Interface), mit dessen Hilfe Zugriffe auf den Adressraum von bis zu zwei externen Infineon-Microcontroller mit MLI-Interface möglich ist.

Desweiteren stehen zwei Flash-Bänke und eine SDRAM-Bank zur Verfügung. Somit lassen sich maximal 128 MByte Flash und 64 MByte RAM realisieren.

Um die vorhandenen Schnittstellen um zusätzliche anwenderspezifische Schnittstellen zu erweitern, wurde ein Lattice-FPGA ECP2-6 vorgesehen. Dieser besitzt ein paralleles

Adress/Datenbus-Interface und kann in den Adressraum der CPU eingeblendet werden.

Alle Signale des Mikrocontrollers und des FPGA werden über 3 Steckverbinder nach außen geführt, wobei auf den 3. Steckverbinder verzichtet werden kann, wenn der FPGA nicht bestückt wurde.

Anmerkungen zum EMV Gesetz für das ECUcore-1130

Das ECUcore-1130 (im Folgenden Produkt genannt) ist als Zulieferteil für den Einbau in ein Gerät (Weiterverarbeitung durch Industrie (siehe § 5 Abs. 5 EMVG)) bzw. als Evaluierungsboard für den Laborbetrieb (zur Hardware- und Softwareentwicklung) bestimmt.

Das Produkt erfüllt die Anforderungen des EMV Gesetz (CE Konformität) nur für den in diesem Handbuch beschriebenen Anwendungsbereich unter Einhaltung der gegebenen Hinweise zur Inbetriebnahme.

Achtung!

Das Produkt ist ESD empfindlich und darf nur an ESD geschützten Arbeitsplätzen von geschultem Fachpersonal ausgepackt und gehandhabt bzw. verarbeitet werden.

1.2 Merkmale des ECUcore-TC1130

- Prozessor/Mikrocontroller: Infineon TC1130
 - Echtzeitfähiger superscalar Mikrocontroller
 - DSP-Funktionalität
 - RISC-Prozessor
 - enthaltene Komponenten:
 - 32-bit TriCORE-Mikrocontroller mit 150 MHz
 - Memory Management Unit (MMU)
 - DMA Controller
 - 1 x USB Device 1.1 Interface
 - 2 x SPI Interfaces
 - 3 x UARTs
 - 4x CAN 2.0B
 - 1 x Fast Ethernet Interface
 - 2 x Micro Link Interface (MLI)
 - 2 x I²C Interface
 - Capture and Compare Unit (CAPCOM-Unit)
 - General Purpose Timer Unit (GPTU) 3x32-bit
 - Multi-purpose I/O signals
 - Speicher intern
 - 16-Kbyte Boot ROM
 - 28-Kbyte Data Memory (SPRAM)
 - 32-Kbyte Code Memory (SPRAM)
 - 16-Kbyte Instruction Cache (ICACHE)
 - 4-Kbyte Data Cache (DCACHE)
 - 64-Kbyte SRAM Data Memory Unit (DMU)
- Speicher onboard
 - PC133 SDRAM:2 Bausteine je 32MByte
max. = 64 MByte
 - Burst Flash:standard 2 Bausteine je 32MByte
optional 4 Bausteine je 32MByte
max. = 128 MByte max.
 - SPI-Bus:1 SPI-EEPROM
mit 32kByte

- 25MHz Oszillator für PLL-TC1130, PLL-FPGA und Clock für Ethernet-Phy
- I²C Real-Time-Clock
- I²C Temperatur-Sensor
- Ethernet Phy mit 10/100 TP
- FPGA
 - Lattice ECP2-6 mit 132 I/O
 - Serielles Flash mit 2MByte Speicher zum Ablegen der Konfiguration des FPGA
- Temperaturbereich T_A = -40°C... +85°C
- Abmessungen: 54mm x 78mm

1.3 Blockschaltbild

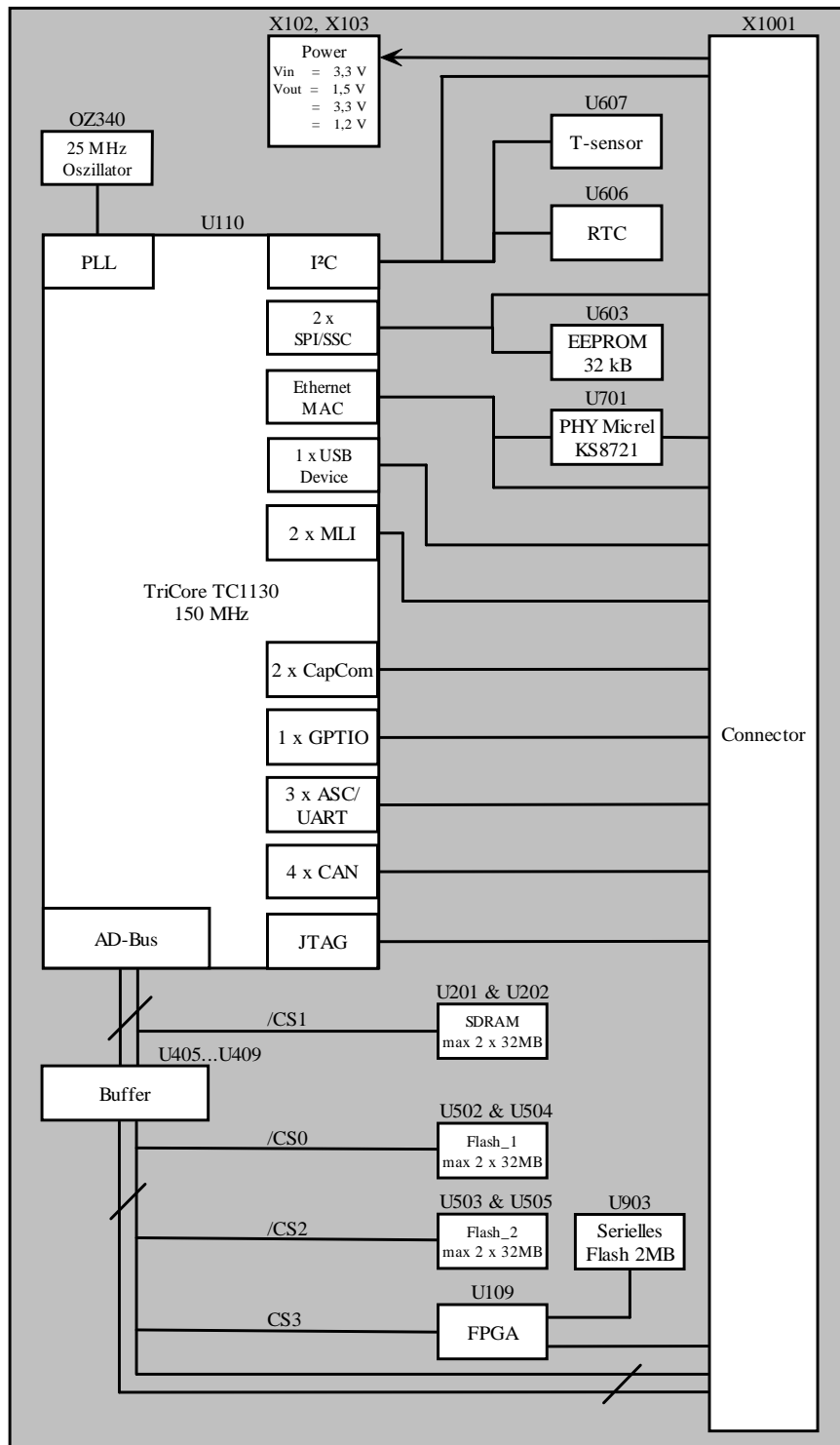


Abbildung 1: BlockschaltbildKomponentenplatzierung

2 Steckverbinder-Anschlußbelegung

Wie „Abbildung 2: Pin-Belegung Steckverbinder“ zeigt, werden alle relevanten Signale an 3 Seiten des ECUcore-1130 geführt und über Samtec-Steckverbinder QTH-060-01-F-D-A nach unten herausgeführt.

Die Nummerierung ist in Abbildung 2 für die Ansicht von unten und in Abbildung 3 für die Ansicht von oben dargestellt.

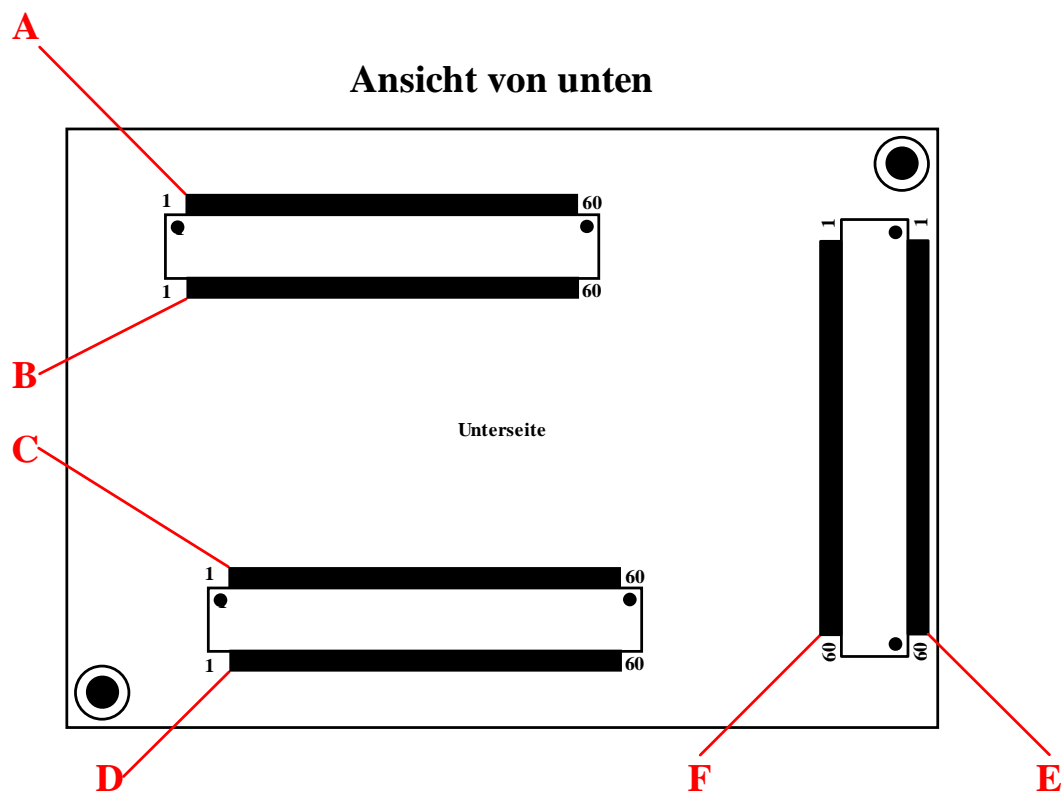


Abbildung 2: Pin-Belegung Steckverbinder

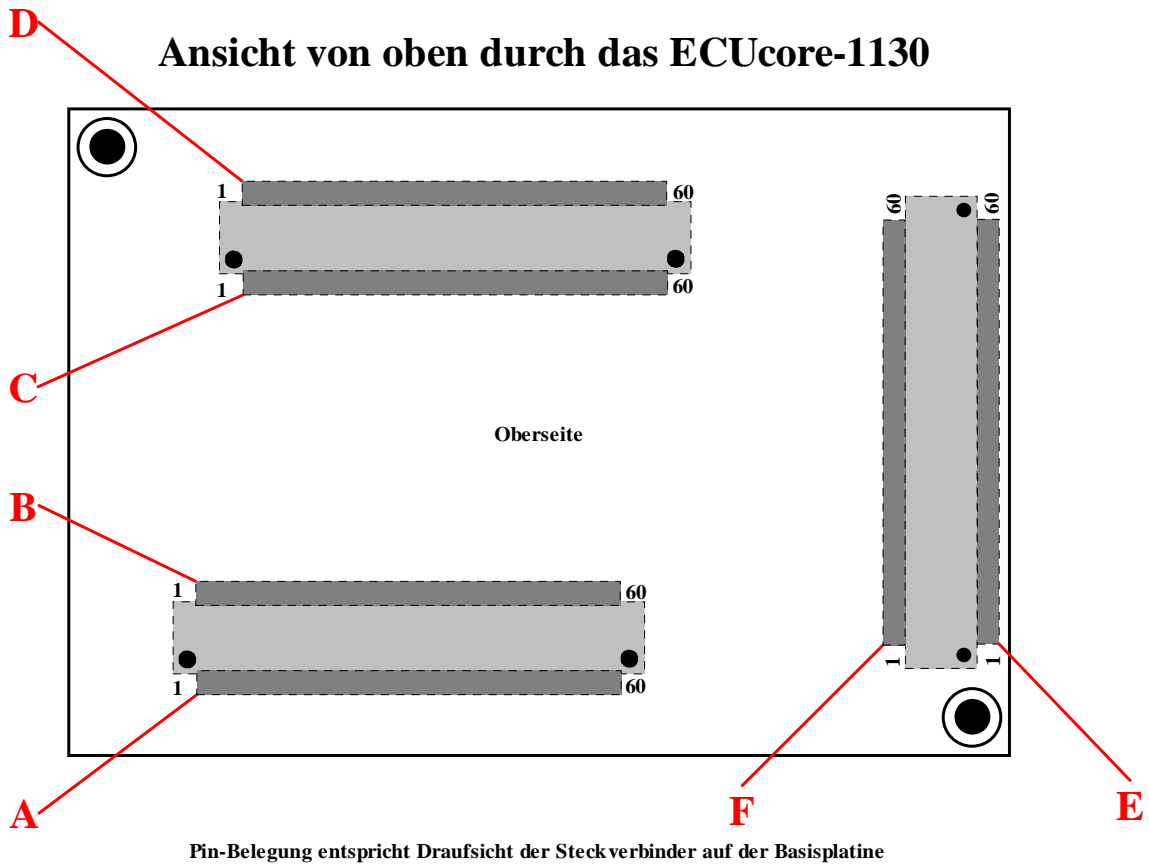


Abbildung 3: Pin-Belegung der Steckverbinder auf Basisplatine

Tabelle 1 definiert die Pin-Belegung der Steckverbinder. Für jedes Pin wird die Hauptfunktion und eine evtl. vorhandene alternative Funktion (in Klammern) angegeben. Ein Teil der Signale wird auf dem Board bereits verwendet, um on-board Komponenten anzusteuern. Dies ist ebenfalls in der Tabelle aufgelistet.

Tabelle 1: Pinbelegung Steckverbinder

Pin	Signal	Haupt-Funktion (Alternativ-Funktion)	Typ	on-board Verwendung	Quelle/Ziel
A01	HWCFG0	Hardware Configuration Input 0	I	Dip-Switch, Konfiguration	TC1130
A02	HWCFG1	Hardware Configuration Input 1	I	Dip-Switch, Konfiguration	TC1130
A03	HWCFG2	Hardware Configuration Input 2	I	Dip-Switch, Konfiguration	TC1130
A04	/BRKIN	OCDS Break Input	I	Pull-Up	TC1130
A05	/NMI	Non-Maskable Interrupt, Input	I	Pull-Up	TC1130
A06	CSCOMB	EBU Chip-Select Output for Combination Function	O	Bustranceiver	TC1130
A07	RMW	EBU Read Modify Write - Signalisierung, Output	O		TC1130
A08	/CSEMU	EBU Chip-Select Output for Emulator Region	O		TC1130
A09	P2.13	GPIO (SCL0, CCPOS0_0, SLSO1_3)	I/O	RTC und Temperatursensor, I ² C-SCL0, Pull-Up	TC1130
A10	P2.12	GPIO (SDA0, CTRAP0, SLSO0_3)	I/O	RTC und Temperatursensor, I ² C-SDA0, Pull-Up	TC1130
A11	AD00	EBU Adress/Daten Bus	I/O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
A12	AD02	EBU Adress/Daten Bus	I/O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
A13	AD04	EBU Adress/Daten Bus	I/O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
A14	AD06	EBU Adress/Daten Bus	I/O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
A15	AD08	EBU Adress/Daten Bus	I/O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
A16	AD10	EBU Adress/Daten Bus	I/O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
A17	AD12	EBU Adress/Daten Bus	I/O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
A18	AD14	EBU Adress/Daten Bus	I/O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
A19	A16	EBU Adress Bus	O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
A20	A18	EBU Adress Bus	O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
A21	A20	EBU Adress Bus	O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
A22	A22	EBU Adress Bus	O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
A23	P2.05	GPIO (MRST1A, COUT60_3)	I	EEPROM, SPI-MRST1A, Pull-Up	TC1130

Pin	Signal	Haupt-Funktion (Alternativ-Funktion)	Typ	on-board Verwendung	Quelle/Ziel
A24	P2.07	GPIO (SCLK1A, COUT60_0)	I/O	EEPROM, SPI-SCLK1A (Pull-Down optional)	TC1130
A25	P1.00	GPIO (MII_TXD0, RXDCAN0_B, SWCFG0, OCDSA_0)	O	Ethernet Phy (MII)	TC1130
A26	P1.02	GPIO (MII_TXD2, RXDCAN1_B, SWCFG2, OCDSA_2)	O	Ethernet Phy (MII)	TC1130
A27	P1.04	GPIO (MII_TXER, SWCFG4, OCDSA_4)	O	Ethernet Phy (MII)	TC1130
A28	P1.06	GPIO (MII_MDC, SWCFG6, OCDSA_6)	O	Ethernet Phy (MII)	TC1130
A29	P1.08	GPIO (MII_CRS, SWCFG8, OCDSA_8)	I	Ethernet Phy (MII)	TC1130
A30	P1.10	GPIO (MII_RXD0, SWCFG10, OCDSA_10)	I	Ethernet Phy (MII)	TC1130
A31	P1.12	GPIO (MII_RXD2, SLSO1_1, SWCFG12, OCDSA_12)	I	Ethernet Phy (MII)	TC1130
A32	P1.14	GPIO (MII_RXER, SLSO1_2, SWCFG14, OCDSA_14)	I	Ethernet Phy (MII)	TC1130
A33	P3.06	GPIO (OSDSB_6, COUT61_2)	I/O		TC1130
A34	P3.14	GPIO (OSDSB_14, RVALID1, MTSR1B)	I/O		TC1130
A35	P4.00	GPIO (USBCLK)	O	FPGA (Slave Serial Mode - CLK) optional	TC1130
A36	P4.02	GPIO (VPI)	I	FPGA (Slave Serial Mode - INITN) optional	TC1130
A37	P4.04	GPIO (VPO)	O	FPGA (Slave Serial Mode - PROGRAMN) optional	TC1130
A38	P4.06	GPIO (USBOE)	O	P-Kanal MOSFET für Power Up Sequence FPGA (optional)	TC1130
A39	A00	EBU Adress Bus	O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
A40	A02	EBU Adress Bus	O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
A41	A04	EBU Adress Bus	O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
A42	A06	EBU Adress Bus	O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
A43	A08	EBU Adress Bus	O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
A44	A10	EBU Adress Bus	O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
A45	A12	EBU Adress Bus	O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
A46	A14	EBU Adress Bus	O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130

Steckverbinder-Anschlußbelegung

Pin	Signal	Haupt-Funktion (Alternativ-Funktion)	Typ	on-board Verwendung	Quelle/Ziel
A47	AD16	EBU Adress/Daten Bus	I/O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
A48	AD18	EBU Adress/Daten Bus	I/O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
A49	AD20	EBU Adress/Daten Bus	I/O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
A50	AD22	EBU Adress/Daten Bus	I/O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
A51	AD24	EBU Adress/Daten Bus	I/O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
A52	AD26	EBU Adress/Daten Bus	I/O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
A53	AD28	EBU Adress/Daten Bus	I/O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
A54	AD30	EBU Adress/Daten Bus	I/O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
A55	RD/WR	EBU Write Control Line	O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
A56	VBAT	Anschluss Puffer-Batterie	I	RTC, Real Time Clock	RTC
A57	+3.3V	Spannungsversorgung ECUcore-TC11, +3,3V ± 5 %	I	alle Komponenten mit Vcc=+3,3V	Komponente mit Vcc=+3,3V
A58	+3.3V	Spannungsversorgung ECUcore-TC11, +3,3V ± 5 %	I	alle Komponenten mit Vcc=+3,3V	Komponente mit Vcc=+3,3V
A59	+3.3V	Spannungsversorgung ECUcore-TC11, +3,3V ± 5 %	I	alle Komponenten mit Vcc=+3,3V	Komponente mit Vcc=+3,3V
A60	+3.3V	Spannungsversorgung ECUcore-TC11, +3,3V ± 5 %	I	alle Komponenten mit Vcc=+3,3V	Komponente mit Vcc=+3,3V
B01	/PORST	Power-On Reset Output	O	TC1130, Flash_1, Falsh_2, Ethernet -Phy	Reset- Baustein
B02	/MR	Pin zum manuellen Auslösen des Reset, Input	I		Reset- Baustein
B03	/HDRST	Hardware Reset Output	O	Pull-Up	TC1130
B04	TMS	JTAG Mdule State Machine Control Input	I	Pull-Up	TC1130
B05	/TRCLK	Trace Clock für OCDS_L2	O		TC1130
B06	TCK	JTAG Module Clock Input	I	Pull-Down	TC1130
B07	TDI	JTAG Module Serial Data Input	I	Pull-Up	TC1130
B08	TDO	JTAG Module Serial Data Output	O		TC1130
B09	/TRST	JTAG Module Reset /Enable Input	I	Pull-Up	TC1130
B10	MR/W	EBU Motorola-Style Read/Write Output	O	Pull-Up	TC1130
B11	AD01	EBU Adress/Daten Bus	I/O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130

Pin	Signal	Haupt-Funktion (Alternativ-Funktion)	Typ	on-board Verwendung	Quelle/Ziel
B12	AD03	EBU Adress/Daten Bus	I/O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
B13	AD05	EBU Adress/Daten Bus	I/O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
B14	AD07	EBU Adress/Daten Bus	I/O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
B15	AD09	EBU Adress/Daten Bus	I/O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
B16	AD11	EBU Adress/Daten Bus	I/O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
B17	AD13	EBU Adress/Daten Bus	I/O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
B18	AD15	EBU Adress/Daten Bus	I/O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
B19	A17	EBU Adress Bus	O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
B20	A19	EBU Adress Bus	O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
B21	A21	EBU Adress Bus	O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
B22	A23	EBU Adress Bus	O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
B23	P2.06	GPIO (MTSR1A, CC60_0)	O	EEPROM, SPI- MTSR1A, Pull- Up	TC1130
B24	P3.12	GPIO (OSDSB_12, RCLK1, SLSO1_7, CC61_T13HR)	I/O		TC1130
B25	P1.01	GPIO (MII_TXD1, TXDCAN0B, SWCFG1, OCDSA_1)	O	Ethernet Phy (MII)	TC1130
B26	P1.03	GPIO (MII_TXD3, TXDCAN1_B, SWCFG3, OCDSA_3)	O	Ethernet Phy (MII)	TC1130
B27	P1.05	GPIO (MII_TXEN, SWCFG5, OCDSA_5)	O	Ethernet Phy (MII)	TC1130
B28	P1.07	GPIO (MII_RXDV, SWCFG7, OCDSA_7)	I	Ethernet Phy (MII)	TC1130
B29	P1.09	GPIO (MII_COL, SWCFG9, OCDSA_9)	I	Ethernet Phy (MII)	TC1130
B30	P1.11	GPIO (MII_RXD1, SLSO0_1, SWCFG11, OCDSA_11)	I	Ethernet Phy (MII)	TC1130
B31	P1.13	GPIO (MII_RXD3, SLSO0_2, SWCFG13, OCDSA_13)	I	Ethernet Phy (MII)	TC1130
B32	P1.15	GPIO (RMW, SLSI0, SWCFG15, OCDSA_15)	I/O	Bustranceiver für RMW optional	TC1130
B33	P3.13	GPIO (OSDSB_13, RREADY1, MRST1B)	I/O		TC1130
B34	P3.15	GPIO (OSDSB_15, RDATA1, SCLK1B)	I/O		TC1130
B35	P4.01	GPIO (RCVI)	O	FPGA (Slave Serial Mode - DI) optional	TC1130

Steckverbinder-Anschlußbelegung

Pin	Signal	Haupt-Funktion (Alternativ-Funktion)	Typ	on-board Verwendung	Quelle/Ziel
B36	P4.03	GPIO (VMI)	I	FPGA (Slave Serial Mode - DONE) optional	TC1130
B37	P4.05	GPIO (VMO)	I/O	EEPROM, Chip-Select, Pull-Up	TC1130
B38	P4.07	GPIO (/BRKOUT_A)	O	TC1130, Watch Dog Input für Reset-Baustein (optional)	TC1130
B39	A01	EBU Adress Bus	O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
B40	A03	EBU Adress Bus	O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
B41	A05	EBU Adress Bus	O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
B42	A07	EBU Adress Bus	O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
B43	A09	EBU Adress Bus	O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
B44	A11	EBU Adress Bus	O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
B45	A13	EBU Adress Bus	O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
B46	A15	EBU Adress Bus	O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
B47	AD17	EBU Adress/Daten Bus	I/O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
B48	AD19	EBU Adress/Daten Bus	I/O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
B49	AD21	EBU Adress/Daten Bus	I/O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
B50	AD23	EBU Adress/Daten Bus	I/O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
B51	AD25	EBU Adress/Daten Bus	I/O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
B52	AD27	EBU Adress/Daten Bus	I/O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
B53	AD29	EBU Adress/Daten Bus	I/O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
B54	AD31	EBU Adress/Daten Bus	I/O	SDRAM, Flash_1, Falsh_2, FPGA	TC1130
B55	/RD	EBU Read Control Line	O	Flash_1, Flash_2, FPGA	TC1130
B56	+3.3V	Spannungsversorgung ECUcore-TC11, +3,3V ± 5 %	I		Komponente mit Vcc=+3,3V

Pin	Signal	Haupt-Funktion (Alternativ-Funktion)	Typ	on-board Verwendung	Quelle/Ziel
B57	+3.3V	Spannungsversorgung ECUcore-TC11, +3,3V ± 5 %	I		Komponente mit Vcc=+3,3V
B58	+3.3V	Spannungsversorgung ECUcore-TC11, +3,3V ± 5 %	I		Komponente mit Vcc=+3,3V
B59	+3.3V	Spannungsversorgung ECUcore-TC11, +3,3V ± 5 %	I		Komponente mit Vcc=+3,3V
B60	+3.3V	Spannungsversorgung ECUcore-TC11, +3,3V ± 5 %	I		Komponente mit Vcc=+3,3V
C01	+2V5_EPHY	Spannungsversorgung Ethernet Transformer	O		Ethernet Phy
C02	GND				
C03	ETH0_RX+	Ethernet 0 Receive Input +	I		Ethernet Phy
C04	ETH0_RX-	Ethernet 0 Receive Input -	I		Ethernet Phy
C05	GND				
C06	ETH0_Speed	Ethernet 0 Speed Output, 10BT high, 100BT low	O		Ethernet Phy
C07	WDI	Watchdog Signal Output	I/O		Reset- Baustein
C08	PWR_ON_GOOD	Signalisierung das alle Spannungen stabil, low i.O., high n.i.O.	O		Power Sequencer
C09	TP_0	Überwachungspin der onboard erzeugten Core-Spannung des TC11xx (1,5V)	O		Vcc
C10	PS_MON_2	Überwachung von analoger Sannung zwischen 0V und 5,9V	I		Power Sequencer
C11	MII_RXCLK	Ethernet Controller Receive Clock	I	Ethernet Phy (MII)	TC1130
C12	MII_MDIO	Ethernet Controller Management Data Input/Output	I/O	Ethernet Phy (MII)	TC1130
C13					
C14					
C15	P0.08	GPIO (RXDCAN0_A, REQ0, TCLK0A)	I/O		TC1130
C16	P0.09	GPIO (TXDCAN0_A, TREADY0A, REQ1)	I/O		TC1130
C17	P0.10	GPIO (RXDCAN1_A, TVALID0A, REQ2)	I/O		TC1130
C18	P0.11	GPIO (TXDCAN1_A, TDATA0A, REQ3)	I/O		TC1130
C19	P2.00	GPIO (RXD0, CSEMU)	I/O	Bustranceiver für CSEMU optional	TC1130
C20	P2.01	GPIO (TXD0, TESTMODE)	I	Bootkonfiguration (Pull-Up für Testmode)	TC1130
C21	P2.08	GPIO (RXD1A, CC60_1)	I/O		TC1130
C22	P2.09	GPIO (TXD1A, COUT60_1)	I/O		TC1130
C23	P3.00	GPIO (OSDSB_0, COUT61_3)	O (I/O)	Dip-Switch, Statusabfrage (optional)	TC1130
C24	P2.11	GPIO (TXD2A, COUT60_2)	O (I/O)	Dip-Switch, Statusabfrage (optional)	TC1130
C25	P2.03	GPIO (MTSR0)	I/O		TC1130
C26	P2.02	GPIO (MRST0)	I/O		TC1130
C27	P3.07	GPIO (OSDSB_7, CTRAP1, SLS00_5)	I/O		TC1130

Pin	Signal	Haupt-Funktion (Alternativ-Funktion)	Typ	on-board Verwendung	Quelle/Ziel
C28	P3.11	GPIO (OSDSB_11, TDATA1, SLSO0_7, CC61_T12HR)	I/O		TC1130
C29	P3.08	GPIO (OSDSB_8, CCPOS1_0, TCLK1, SLSO1_5)	I/O		TC1130
C30	/BC0	EBU Byte Control Line 0	O	SDRAM und FPGA	TC1130
C31	/BC2	EBU Byte Control Line 2	O	SDRAM und FPGA	TC1130
C32					
C33	/CS2	Chip-Select 2	O	Flash_2	TC1130
C34	ALE	EBU Address Latch Enable Output	O	FPGA	TC1130
C35	/WAIT	EBU Wait Control Line	I	Flash_1, Flash_2,	TC1130
C36	P3.04	GPIO (OSDSB_4, COUT61_1)	O (I/O)	Dip-Switch, Statusabfrage (optional)	TC1130
C37	P0.13	GPIO (TXDCAN2, RREADY0A, REQ5)	I/O		TC1130
C38	P0.15	GPIO (TXDCAN3, RDATA0A, REQ7)	I/O		TC1130
C39	P0.00	GPIO (GPTU 0, RXD1B)	I/O		TC1130
C40	P0.01	GPIO (GPTU 1, TXD1B)	I/O		TC1130
C41	P0.04	GPIO (GPTU 4, SLS11, BREQ)	I	RTC-CLKOUT	TC1130
C42	FPGA_IO001	FPGA-Input/Output 1	I/O		FPGA
C43	FPGA_IO003	FPGA-Input/Output 3	I/O		FPGA
C44	FPGA_IO005	FPGA-Input/Output 5	I/O		FPGA
C45	FPGA_IO007	FPGA-Input/Output 7	I/O		FPGA
C46	FPGA_IO009	FPGA-Input/Output 9	I/O		FPGA
C47	FPGA_IO011	FPGA-Input/Output 11	I/O		FPGA
C48	FPGA_IO013	FPGA-Input/Output 13	I/O		FPGA
C49	FPGA_IO015	FPGA-Input/Output 15	I/O		FPGA
C50	FPGA_IO017	FPGA-Input/Output 17	I/O		FPGA
C51	FPGA_IO019	FPGA-Input/Output 19	I/O		FPGA
C52	FPGA_IO021	FPGA-Input/Output 21	I/O		FPGA
C53	FPGA_IO023	FPGA-Input/Output 23	I/O		FPGA
C54	FPGA_IO025	FPGA-Input/Output 25	I/O		FPGA
C55	FPGA_IO027	FPGA-Input/Output 27	I/O		FPGA
C56	FPGA_IO029	FPGA-Input/Output 29	I/O		FPGA
C57	FPGA_IO031	FPGA-Input/Output 31	I/O		FPGA
C58	FPGA_IO033	FPGA-Input/Output 33	I/O		FPGA
C59	FPGA_PWR_TMS	JTAG Module State Machine für FPGA und Power Sequencer	I		FPGA, Power Sequencer
C60	FPGA_PWR_TCK	JTAG Module Clock Input für FPGA und Power Sequencer	I		FPGA, Power Sequencer
D01	GND				
D02	ETH0_TX-	Ethernet 0 Transmit Output -	O		Ethernet Phy
D03	ETH0_TX+	Ethernet 0 Transmit Output +	O		Ethernet Phy
D04	GND				
D05	ETH0_Link/Act	Ethernet 0 Link-Aktivität, No Link high, Link low, Act toggle	O		Ethernet Phy
D06	BOOT	Erweiterung der Boot-Quellen für TC1130	I		Multiplexer
D07	/BAA	EBU Burst Address Avance Output	O	Pull-Up	TC1130
D08	PS_IO_1	I/O für Power Sequencer, konfigurierbar	I/O	Pull-Up	Power Sequencer
D09	PS_IO_2	I/O für Power Sequencer, konfigurierbar	I/O	Pull-Up	Power Sequencer

Pin	Signal	Haupt-Funktion (Alternativ-Funktion)	Typ	on-board Verwendung	Quelle/Ziel
D10	PS_IN1_/PWRDN	Input für Power Sequencer, (Power Down-Funktion)	I	Pull-Down	Power Sequencer
D11	MII_TXCLK	Ethernet Controller Transmit Clock	I	Ethernet Phy (MII)	TC1130
D12	FPGA_CFG0	Konfigurations-Pin 0	I	Jumper J910	FPGA
D13	FPGA_CFG1	Konfigurations-Pin 1	I	Jumper J911	FPGA
D14	FPGA_CFG2	Konfigurations-Pin 2	I	Jumper J912	FPGA
D15	GND				
D16	D+	USB D+ Data Line	I/O	Pull-Up	TC1130
D17	D-	USB D- Data Line	I/O		TC1130
D18					
D19	P0.02	GPIO (GPTU 2, RXD2B)	I/O		TC1130
D20	P0.03	GPIO (GPTU 3, TXD2B)	I/O		TC1130
D21	P3.05	GPIO (OSDSB_5, CC61_2)	I/O		TC1130
D22	P3.02	GPIO (OSDSB_2, COUT61_0)	O (I/O)	Dip-Switch, Statusabfrage (optional)	TC1130
D23	P3.01	GPIO (OSDSB_1, CC61_0)	O	FPGA-Interrupt	TC1130
D24	P3.03	GPIO (OSDSB_3, CC61_1)	O	Temperatursensoren-Interrupt	TC1130
D25	P2.04	GPIO (SCLK0)	I/O		TC1130
D26	P2.14	GPIO (SDA1, CCPOS0_1, SLSO0_4)	I/O		TC1130
D27	P3.09	GPIO (OSDSB_9, CCPOS1_1, TREADY1, SLSO0_6)	I/O		TC1130
D28	P2.15	GPIO (SCL1, CCPOS0_2, SLSO1_4)	I/O		TC1130
D29	P3.10	GPIO (OSDSB_10, CCPOS1_2, TVALID1, SLSO1_6)	I/O		TC1130
D30	/BC1	EBU Byte Control Line 1	O	SDRAM und FPGA	TC1130
D31	/BC3	EBU Byte Control Line 3	O	SDRAM und FPGA	TC1130
D32	TP_1	Überwachungspin der onboard erzeugten FPGA-Spannung des FPGA (1,2V)	O		Vcc
D33	/CS3	Chip-Select 3	O	FPGA	TC1130
D34	P0.12	GPIO (RXDCAN2, RCLK0A, REQ4)	I/O		TC1130
D35	P2.10	GPIO (RXD2A, CC60_2)	O (I/O)	Dip-Switch, Statusabfrage (optional)	TC1130
D36	PFI	Power Fail Input, Überwachung höherer Spannung	I		Reset-Baustein
D37	P0.14	GPIO (RXDCAN3, RVALID0A, REQ6)	I/O		TC1130
D38	P0.05	GPIO (GPTU 5, HOLD, CC60_T12HR,/BRKOUT_B)	I	Pull-Up	TC1130
D39	P0.06	GPIO (GPTU 6, HLDA, CC60_T13HR, SLSO0_0)	O	Power Fail Interrupt-PFI	TC1130
D40	P0.07	GPIO (GPTU 7, SLSO1_0)	I/O		TC1130
D41	FPGA_IO000	FPGA-Input/Output 0	I/O		FPGA
D42	FPGA_IO002	FPGA-Input/Output 2	I/O		FPGA
D43	FPGA_IO004	FPGA-Input/Output 4	I/O		FPGA
D44	FPGA_IO006	FPGA-Input/Output 6	I/O		FPGA
D45	FPGA_IO008	FPGA-Input/Output 8	I/O		FPGA
D46	FPGA_IO010	FPGA-Input/Output 10	I/O		FPGA
D47	FPGA_IO012	FPGA-Input/Output 12	I/O		FPGA
D48	FPGA_IO014	FPGA-Input/Output 14	I/O		FPGA
D49	FPGA_IO016	FPGA-Input/Output 16	I/O		FPGA

Pin	Signal	Haupt-Funktion (Alternativ-Funktion)	Typ	on-board Verwendung	Quelle/Ziel
D50	FPGA_IO018	FPGA-Input/Output 18	I/O		FPGA
D51	FPGA_IO020	FPGA-Input/Output 20	I/O		FPGA
D52	FPGA_IO022	FPGA-Input/Output 22	I/O		FPGA
D53	FPGA_IO024	FPGA-Input/Output 24	I/O		FPGA
D54	FPGA_IO026	FPGA-Input/Output 26	I/O		FPGA
D55	FPGA_IO028	FPGA-Input/Output 28	I/O		FPGA
D56	FPGA_IO030	FPGA-Input/Output 30	I/O		FPGA
D57	FPGA_IO032	FPGA-Input/Output 32	I/O		FPGA
D58	FPGA_IO034	FPGA-Input/Output 34	I/O		FPGA
D59	FPGA_PWR_TDI	JTAG Module Serial Data Input für FPGA und Power Sequencer	I		FPGA, Power Sequencer
D60	FPGA_PWR_TDO	JTAG Module Serial Data Output für FPGA und Power Sequencer	O		FPGA, Power Sequencer
E01	FPGA_IO035	FPGA-Input/Output 35	I/O		FPGA
E02	FPGA_IO037	FPGA-Input/Output 37	I/O		FPGA
E03	FPGA_IO039	FPGA-Input/Output 39	I/O		FPGA
E04	FPGA_IO041	FPGA-Input/Output 41	I/O		FPGA
E05	FPGA_IO043	FPGA-Input/Output 43	I/O		FPGA
E06	FPGA_IO045	FPGA-Input/Output 45	I/O		FPGA
E07	FPGA_IO047	FPGA-Input/Output 47	I/O		FPGA
E08	FPGA_IO049	FPGA-Input/Output 49	I/O		FPGA
E09	FPGA_IO051	FPGA-Input/Output 51	I/O		FPGA
E10	FPGA_IO053	FPGA-Input/Output 53	I/O		FPGA
E11	FPGA_IO055	FPGA-Input/Output 55	I/O		FPGA
E12	FPGA_IO057	FPGA-Input/Output 57	I/O		FPGA
E13	FPGA_IO059	FPGA-Input/Output 59	I/O		FPGA
E14	FPGA_IO061	FPGA-Input/Output 61	I/O		FPGA
E15	FPGA_IO063	FPGA-Input/Output 63	I/O		FPGA
E16	FPGA_IO065	FPGA-Input/Output 65	I/O		FPGA
E17	FPGA_IO067	FPGA-Input/Output 67	I/O		FPGA
E18	FPGA_IO069	FPGA-Input/Output 69	I/O		FPGA
E19	FPGA_IO071	FPGA-Input/Output 71	I/O		FPGA
E20	FPGA_IO073	FPGA-Input/Output 73	I/O		FPGA
E21	FPGA_IO075	FPGA-Input/Output 75	I/O		FPGA
E22	FPGA_IO077	FPGA-Input/Output 77	I/O		FPGA
E23	FPGA_IO079	FPGA-Input/Output 79	I/O		FPGA
E24	FPGA_IO081	FPGA-Input/Output 81	I/O		FPGA
E25	FPGA_IO083	FPGA-Input/Output 83	I/O		FPGA
E26	FPGA_IO085	FPGA-Input/Output 85	I/O		FPGA
E27	FPGA_IO087	FPGA-Input/Output 87	I/O		FPGA
E28	FPGA_IO089	FPGA-Input/Output 89	I/O		FPGA
E29	FPGA_IO091	FPGA-Input/Output 91	I/O		FPGA
E30	FPGA_IO093	FPGA-Input/Output 93	I/O		FPGA
E31	FPGA_IO095	FPGA-Input/Output 95	I/O		FPGA
E32	FPGA_IO097	FPGA-Input/Output 97	I/O		FPGA
E33	FPGA_IO099	FPGA-Input/Output 99	I/O		FPGA
E34	FPGA_IO101	FPGA-Input/Output 101	I/O		FPGA
E35	FPGA_IO103	FPGA-Input/Output 103	I/O		FPGA
E36	FPGA_IO105	FPGA-Input/Output 105	I/O		FPGA
E37	FPGA_IO107	FPGA-Input/Output 107	I/O		FPGA
E38	FPGA_IO109	FPGA-Input/Output 109	I/O		FPGA
E39	FPGA_IO111	FPGA-Input/Output 111	I/O		FPGA
E40	FPGA_IO113	FPGA-Input/Output 113	I/O		FPGA
E41	FPGA_IO115	FPGA-Input/Output 115	I/O		FPGA
E42	FPGA_IO117	FPGA-Input/Output 117	I/O		FPGA
E43	FPGA_IO119	FPGA-Input/Output 119	I/O		FPGA
E44	FPGA_IO121	FPGA-Input/Output 121	I/O		FPGA
E45	FPGA_IO123	FPGA-Input/Output 123	I/O		FPGA
E46	FPGA_IO125	FPGA-Input/Output 125	I/O		FPGA
E47	FPGA_IO127	FPGA-Input/Output 127	I/O		FPGA

Pin	Signal	Haupt-Funktion (Alternativ-Funktion)	Typ	on-board Verwendung	Quelle/Ziel
E48	FPGA_IO129	FPGA-Input/Output 129	I/O		FPGA
E49	FPGA_IO131	FPGA-Input/Output 131	I/O		FPGA
E50	FPGA_IO133	FPGA-Input/Output 133	I/O		FPGA
E51	FPGA_IO135	FPGA-Input/Output 135	I/O		FPGA
E52	FPGA_INITN	Informationspin des FPGA ob interne Struktur gelöscht	I/O	TC1130	FPGA
E53	FPGA_DONE	Informationspin des FPGA ob interne Struktur programmiert	I/O		FPGA
E54	FPGA_SPI_CS	Chip-Select Output für Serielles Flash oder Daten Input	I	Seriell Flash U903	FPGA
E55	FPGA_CSN	Input um Daten-Input für Parallel Mode zuermöglichen	I		FPGA
E56	FPGA_CS1N	Input um Daten-Input für Parallel Mode zuermöglichen	I		FPGA
E57	FPGA_D1	Daten-Input für Parallel-Mode	I/O		FPGA
E58	FPGA_D3	Daten-Input für Parallel-Mode	I/O		FPGA
E59	FPGA_D5	Daten-Input für Parallel-Mode	I/O		FPGA
E60	FPGA_D7	Daten-Input für Parallel-Mode oder Daten Input im SPI-Mode	I/O	Seriell Flash U903	FPGA
F01	FPGA_IO036	FPGA-Input/Output 36	I/O		FPGA
F02	FPGA_IO038	FPGA-Input/Output 38	I/O		FPGA
F03	FPGA_IO040	FPGA-Input/Output 40	I/O		FPGA
F04	FPGA_IO042	FPGA-Input/Output 42	I/O		FPGA
F05	FPGA_IO044	FPGA-Input/Output 44	I/O		FPGA
F06	FPGA_IO046	FPGA-Input/Output 46	I/O		FPGA
F07	FPGA_IO048	FPGA-Input/Output 48	I/O		FPGA
F08	FPGA_IO050	FPGA-Input/Output 50	I/O		FPGA
F09	FPGA_IO052	FPGA-Input/Output 52	I/O		FPGA
F10	FPGA_IO054	FPGA-Input/Output 54	I/O		FPGA
F11	FPGA_IO056	FPGA-Input/Output 56	I/O		FPGA
F12	FPGA_IO058	FPGA-Input/Output 58	I/O		FPGA
F13	FPGA_IO060	FPGA-Input/Output 60	I/O		FPGA
F14	FPGA_IO062	FPGA-Input/Output 62	I/O		FPGA
F15	FPGA_IO064	FPGA-Input/Output 64	I/O		FPGA
F16	FPGA_IO066	FPGA-Input/Output 66	I/O		FPGA
F17	FPGA_IO068	FPGA-Input/Output 68	I/O		FPGA
F18	FPGA_IO070	FPGA-Input/Output 70	I/O		FPGA
F19	FPGA_IO072	FPGA-Input/Output 72	I/O		FPGA
F20	FPGA_IO074	FPGA-Input/Output 74	I/O		FPGA
F21	FPGA_IO076	FPGA-Input/Output 76	I/O		FPGA
F22	FPGA_IO078	FPGA-Input/Output 78	I/O		FPGA
F23	FPGA_IO080	FPGA-Input/Output 80	I/O		FPGA
F24	FPGA_IO082	FPGA-Input/Output 82	I/O		FPGA
F25	FPGA_IO084	FPGA-Input/Output 84	I/O		FPGA
F26	FPGA_IO086	FPGA-Input/Output 86	I/O		FPGA
F27	FPGA_IO088	FPGA-Input/Output 88	I/O		FPGA
F28	FPGA_IO090	FPGA-Input/Output 90	I/O		FPGA
F29	FPGA_IO092	FPGA-Input/Output 92	I/O		FPGA
F30	FPGA_IO094	FPGA-Input/Output 94	I/O		FPGA
F31	FPGA_IO096	FPGA-Input/Output 96	I/O		FPGA
F32	FPGA_IO098	FPGA-Input/Output 98	I/O		FPGA
F33	FPGA_IO100	FPGA-Input/Output 100	I/O		FPGA
F34	FPGA_IO102	FPGA-Input/Output 102	I/O		FPGA
F35	FPGA_IO104	FPGA-Input/Output 104	I/O		FPGA
F36	FPGA_IO106	FPGA-Input/Output 106	I/O		FPGA
F37	FPGA_IO108	FPGA-Input/Output 108	I/O		FPGA
F38	FPGA_IO110	FPGA-Input/Output 110	I/O		FPGA
F39	FPGA_IO112	FPGA-Input/Output 112	I/O		FPGA
F40	FPGA_IO114	FPGA-Input/Output 114	I/O		FPGA
F41	FPGA_IO116	FPGA-Input/Output 116	I/O		FPGA
F42	FPGA_IO118	FPGA-Input/Output 118	I/O		FPGA
F43	FPGA_IO120	FPGA-Input/Output 120	I/O		FPGA

Pin	Signal	Haupt-Funktion (Alternativ-Funktion)	Typ	on-board Verwendung	Quelle/Ziel
F44	FPGA_IO122	FPGA-Input/Output 122	I/O		FPGA
F45	FPGA_IO124	FPGA-Input/Output 124	I/O		FPGA
F46	FPGA_IO126	FPGA-Input/Output 126	I/O		FPGA
F47	FPGA_IO128	FPGA-Input/Output 128	I/O		FPGA
F48	FPGA_IO130	FPGA-Input/Output 130	I/O		FPGA
F49	FPGA_IO132	FPGA-Input/Output 132	I/O		FPGA
F50	FPGA_IO134	FPGA-Input/Output 134	I/O		FPGA
F51					
F52	FPGA_CLK	Clock Output für SPI-Mode, Clock Input für Serial-Mode	I/O	Seriell Flash U903, TC1130 U110	FPGA
F53	FPGA_PROGRAMN	Pin zum Starten der Konfigurationsinitialisierung	I	(optional Jumper J909), TC1130 U110	FPGA
F54	FPGA_SPIFASTN	Pin zum schnelleren Datentransfer im SPI-Mode, D0 im Parallel-Mode	I/O	Jumper J913	FPGA
F55	FPGA_WRITEN	Pin für Daten-Richtung im Parallel-Mode	I		FPGA
F56	FPGA_SPI_SI	in Parallel-Mode fertig für Daten-Empfang, SPI-Mode SI	I/O	Seriell Flash U903	FPGA
F57	FPGA_DOUT_CS N	verschiedene Funktionen je nach Modus	O		FPGA
F58	FPGA_D2	Daten-Input für Parallel-Mode	I/O		FPGA
F59	FPGA_D4	Daten-Input für Parallel-Mode	I/O		FPGA
F60	FPGA_D6	Daten-Input für Parallel-Mode	I/O		FPGA

3 Spannungsversorgung und Reset-Eigenschaften

3.1 Spannungsversorgung

Das ECUcore-1130 benötigt eine Spannungsversorgung von 3,3VDC. Alle anderen notwendigen Spannungen werden aus dieser Spannung mit Hilfe von DC/DC-Wandlern auf dem Board erzeugt.

Versorgungsspannung VCC: $VCC = +3,3VDC \pm 4\%$

Maximale Versorgungsspannung: $VCC_{max} = +3,432 VDC$

Minimale Versorgungsspannung: $VCC_{min} = +3,168 VDC$

Für die weitere Funktion der on-board Real-Time-Clock bei Ausfall der Versorgungsspannung VCC ist am Anschluss Pin A56 (VBAT) eine Spannung bereitzustellen.

Pufferspannung $V_{BAT} : +2,4V \leq +3,6V \leq +5,5V$

Maximale Pufferspannung: $V_{BATmax} = +5,5 V DC$

Minimale Pufferspannung: $V_{VBATmin} = +2,4 V$

Unterhalb der minimalen Pufferspannung kann es zum Ausfall der RTC-Funktion kommen. Ein entsprechendes Statusbit innerhalb der RTC signalisiert diesen Zustand der Anwendung.

Die Pufferspannung liegt, entkoppelt über eine Diode, parallel zu Versorgungsspannung VCC am Versorgungspin der RTC an. Bei direktem Anschluss einer Batterie am Pin VBAT zu Pufferung der RTC ist zu beachten, dass auch bei aktiver Versorgungsspannung eine Entladung der Batterie stattfindet. Der Entladestrom wird um so größer, je mehr sich die Batteriespannung im Bereich der Versorgungsspannung oder darüber bewegt. Abhilfe kann hier ein Schalter schaffen, der die Batterie nur dann mit dem Pin VBAT verbindet, wenn die Versorgungsspannung unterhalb der RESET-Schwelle liegt. Die benötigten Komponenten sind durch den Anwender auf der Basisplatine zu platzieren.

Erfolgt die Pufferung der RTC auf Basis einer Kapazität (z.B. GoldCap), so spielt dieses Verhalten keine Rolle.

3.2 Reset-Eigenschaften

Die Reset-Eigenschaften werden entweder durch den Spannungs-Supervisor bestimmt, wenn das System ohne FPGA ausgeliefert wird oder durch den Power-Sequence-Baustein, bei Auslieferung mit FPGA.

3.2.1 Spannungs-Supervisor

Das Power-On-Reset-Signal (/PORST) ist low aktiv. Es wird erzeugt wenn folgende Eigenschaften vorliegen:

- wenn Versorgungsspannung $VCC < 3,08V$ ($3.0V - 3.15V$)
- wenn Eingang /MR $< 0,6 V$ (manuelles Reset)
- wenn eine der on-board erzeugten Spannungen außerhalb des erlaubten Toleranzbereiches liegt
- wenn Timeout des Watchdogs eintritt. Um das zu verhindern, ist periodisch am Pin WDI (Watchdog-Input) innerhalb einer Zeitspanne von 1s ein Signalwechsel auszuführen. Der Watchdog bleibt inaktiv, wenn Eingang WDI unbeschaltet (hochohmig) bleibt.

Übersteigt die Versorgungsspannung den Spannungswert für ein aktives RESET, dann bleibt das Signal /PORST noch für min. 140-200ms aktiv. Diese Zeit verlängert sich um weitere 140ms, wenn eine der oben erwähnten Bedingungen erneut eintreten.

Der Spannungs-Supervisor besitzt einen integrierten Watchdog-Timer. Während eines aktiven RESET-Signals /PORST ist der Watchdog-Timer inaktiv bzw. wird zurückgesetzt. Der Watchdog-Timer bleibt inaktiv, wenn der Eingang WDI offen oder mit einem hochohmigen Potential verbunden ist. Der Eingang kann mit Hilfe eines Port Pins des Microcontrollers oder aus der Applikation gesteuert werden. Der Ausgang des Watchdog-Timers WDO wird aktiv, wenn nach dem Starten des Watchdog-Timers (Flanke am Eingang WDI) innerhalb von 1s ... 2s kein Flankenwechsel erkannt

wird. Der Ausgang WDO aktiviert in diesem Fall das Signal /PORST und setzt damit den Microcontroller zurück.

Das Signal PFI (Power Fail Comparator-Input) ist so zu beschalten, dass eine Spannung über 1,25 V anliegt, damit /PFO (Power Fail Comparator-Output) high bleibt. Diese PFI Spannung wird mit der internen Spannungsreferenz von 1,25V verglichen und bei Unterschreiten dieser Spannungsreferenz wird /PFO low. /PFO ist mit dem Interrupt-Eingang (P0.6) verbunden.

4 Jumper und DIP-Switch

Zur Anpassung der Hardware bei Bestückungsvarianten oder zur Auswahl der Betriebsart einer Hardwarekomponente werden Jumper verwendet. Die Jumper werden werksseitig entsprechend der Bestückungsvariante voreingestellt.

Für die Anwendung der Jumper wird folgendes definiert.

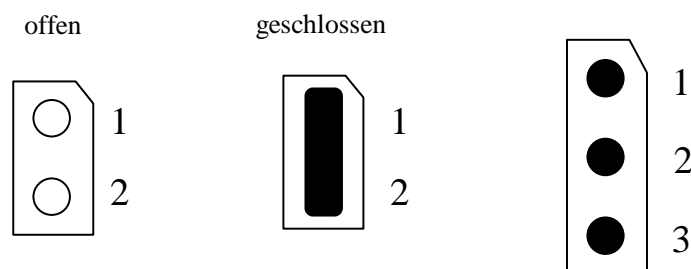


Abbildung 4: Jumper-Beschreibung

Die Steuerung der Betriebsart des Microcontrollers als auch einer Anwenderapplikation kann mit Hilfe eines DIP-Switches erfolgen. Ersatzweise kann anstelle des DIP-Switches mit Hilfe von Widerständen die gewünschte Konfiguration gewählt werden.

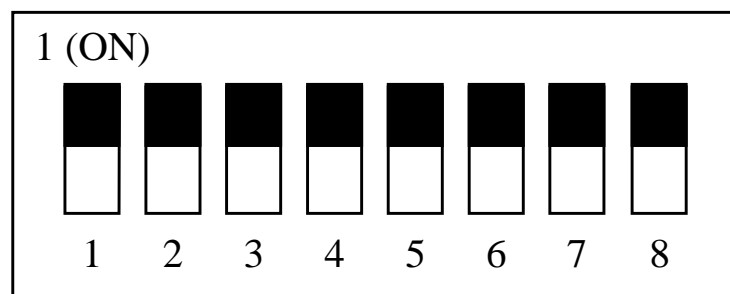


Abbildung 5: DIP-Switch 8-fach

4.2 8-fach DIP-Switch

Der 8-fach DIP-Switch dient zur Konfiguration des Startverhaltens des Microcontroller und zur Definition von anwendungsbezogenen Einstellungen.

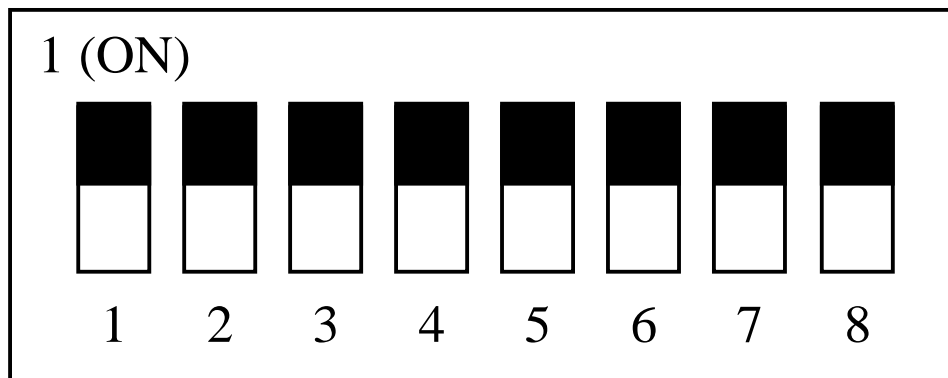


Abbildung 8: DIP-Switch mit Erklärung

DIP-Switch-Schalter	Funktion	Bedeutung Stellung 1 (ON)	Bedeutung Stellung 0 (OFF)
Schalter 1	HWCFG0	HWCFG0=1	HWCFG0=0
Schalter 2	HWCFG1	HWCFG1=1	HWCFG1=0
Schalter 3	HWCFG2	HWCFG2=1	HWCFG2=0
Schalter 4	Pin P3.4	P3.4=1	P3.4=0
Schalter 5	Pin P3.2	P3.2=1	P3.2=0
Schalter 6	Pin P3.0	P3.0=1	P3.0=0
Schalter 7	Pin P2.11	P2.11=0	P2.11=1
Schalter 8	Pin P2.10	P2.10=0	P2.10=1

Tabelle 4: Bedeutung des Dip-Switch

Die Pins HWCFG0...HWCFG3 (Schalter 1...Schalter 3) sind die Konfigurationspins für den Microcontroller TC1130. Durch die verschiedenen Kombinationen werden die verschiedenen Konfigurationseigenschaften festgelegt.

Die Verwendung der Schalter 4 bis 8 kann durch den Anwender definiert werden. Damit besteht die Möglichkeit anwendungsbezogene Konfigurationen zu hinterlegen. Zur

Verwendung dieser Schalter sind die Widerstände R330, R331, R332, R333 und R334 zu bestücken.

5 System Konfiguration nach Power-On-Reset

Während einem aktivem Power-on-Reset benötigt der TC1130 Informationen, von welcher Position im Speicher und mit welcher Konfiguration nach dem Beenden der Reset-Phase der erste Befehl auszuführen ist. Hierzu legen die Eingänge HWCFG zusammen mit den Pins /BRKIN und /TM das Startverhalten und die Startposition fest. Grundsätzlich kann hierbei zwischen Hardware-basiertem und Software-basiertem Bootverhalten unterschieden werden.

Eine Steuerung des Bootverhaltens durch die Hardware wird in der Regel dann angewendet, wenn die Applikation selbständig nach dem Einschalten der Versorgungsspannung starten soll. Hierzu muss der EBU des TC1130 bekannt sein, in welcher Konfiguration der Code-Speicher am externen Bus angeschlossen ist. Das betrifft das Address Alignment, das zeitliche Verhalten von Steuersignalen und Zugriffsphasen sowie die Steuerung von Wait States. Diese grundlegenden Einstellungen werden von Adresse 0x00:0004 im Adressraum /CS0 gelesen und dann zu weiteren Konfiguration der EBU für /CS0 benutzt. Zusätzliche Einstellungen können dann unter Softwarekontrolle erfolgen.

Dagegen bietet sich in Verbindung mit Entwicklungstools z.B. zum Programmieren des Flash-Memory's eine software-gesteuertes Bootverhalten an. Hier kann von außen über eine serielle Schnittstelle wie CAN, UART oder SSC ein Programm eingespielt werden, das zum einen die konkrete Hardware initialisiert und zum anderen zusätzlich benötigte Software nachladen kann. Sämtliche Einstellungen der EBU können hier unter Softwarekontrolle erfolgen.

Mit Hilfe des Signals BOOT kann zwischen der hardwarebasierten (BOOT=0) und der einer software-basierten Steuerung (BOOT=1) des Bootvorgangs gewählt werden. Die hardwarebasierte Variante ist fest eingestellt, die softwarebasierte Variante kann mit Hilfe des DIP-Switch (Abs. 4.2) oder alternativ mit Konfigurationswiderständen definiert werden.

Folgende Tabellen beschreibt die Funktion von BOOT bei Verwendung des ECUcore-1130 mit DIP-Switch oder Konfigurationswiderständen.

Tabelle 5: Bootverhalten in Abhängigkeit des externen Signal BOOT (Auswahl)

Eingang BOOT	DIP-Switch	Widerstände	Konfiguration	Bootverhalten
0	-	-	HWCFG[2:0]=011, /BRKIN=1, /TM=1	TC1130 startet mit der Befehlsausführung für das Anwenderprogramm aus dem externen Flash-Memory ab Adresse 0xA000:0000.
1	1=off 2=off 3=off	R307=n.a. R308=n.a. R309=n.a.	HWCFG[2:0]=000, /BRKIN=1, /TM=1	TC1130 aktiviert den Bootstrap Loader für ASC0. TC1130 lädt ein Programm über ASC0 und führt dieses aus.
1	1=on 2=off 3=off	R307=assemb. R308=n.a. R309=n.a.	HWCFG[2:0]=001, /BRKIN=1, /TM=1	TC1130 aktiviert den Bootstrap Loader für CAN. TC1130 lädt ein Programm über CAN und führt dieses aus.
1	1=off 2=on 3=off	R307=n.a. R308=assemb. R309=n.a.	HWCFG[2:0]=010, /BRKIN=1, /TM=1	TC1130 aktiviert den Bootstrap Loader für SSC. TC1130 lädt ein Programm über SSC und führt dieses aus.
<p>DIP-Switch: off:Schalter in Position OFF. on: Schalter in Position ON.</p> <p>Widerstände: Alternativ zum DIP-Switch kann mit Hilfe von Widerständen R307-R309 die Bootkonfiguration gewählt werden.</p> <p>n.a.: Widerstand ist nicht bestückt. assemb.: 0 Ohm - Widerstand ist bestückt.</p>				

6 System-Speicher

Über den Adress/Datenbus werden folgende Komponenten im Adressraum der CPU eingebündelt:

Tabelle 6: Belegung der Chip-Select Signale

CS-Leitung	Komponente	Speichergröße	Busorganisation
/CS0	Flash Memory	64MByte alternativ bestückbar: - 32MByte - 16MByte	32Bit, non-multiplexed
/CS1	SDR-DRAM	64MByte alternativ bestückbar: - 32MByte - 16MByte	32Bit, non-multiplexed
/CS2	Flash Memory (alternative Bestückung)	64MByte alternativ bestückbar: - 32MByte - 16MByte	32Bit, non-multiplexed
/CS3	FPGA	kein Speicher	32Bit, multiplexed

Der TC1130 besitzt nur einen externen Adress/Datenbus für den Anschluss von SDR-DRAM, synchronem Flash und memory-mapped IO's. Technologiebedingt besitzen DRAMs im Vergleich zu Flash-Speicher kürzere Zugriffszeiten. Die Ausführung eines Programms aus dem DRAM bringt damit auch eine höhere Performance für die Applikation. Dementsprechend wurde bei der Ausführung des Systemspeichers der Fokus auf die Unterstützung eines schnellen DRAMs gelegt. Hierzu wird der Adress/Datenbus in einen schnellen und einen langsamen Teil getrennt. Im schnellen Teil werden DRAM und Microcontroller direkt miteinander gekoppelt. Die max. Lastkapazität als auch die max. Leitungslänge wurden optimal gewählt, um die Signalintegrität zu gewährleisten.

Im langsamen Teil, der mit Hilfe von Bustransceivern zum schnellen Teil entkoppelt ist, können höhere Lastkapazitäten als auch längere Signalleitungen realisiert werden. Dieser Teil ist für diese Eigenschaften entsprechend angepasst. Der langsame Teil des Adress/Daten-Busses ist mit dem FPGA, Flash1 (/CS0), Flash2

(/CS2) und dem Steckverbinder verbunden. Im langsameren Teil ist bei der Kalkulation der Zugriffszeiten die Verzögerung durch die Bustransceiver in Form von Wait States zu berücksichtigen.

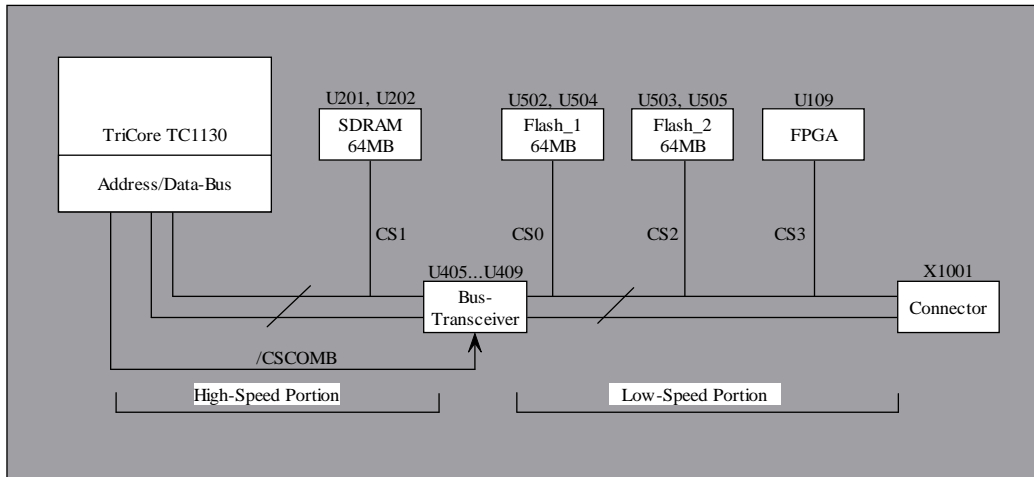


Abbildung 9: Struktur Adress/Datenbus

Die Bustransceiver werden durch das Signal /CSCOMB (/CSGLB) aktiviert, welches von der CPU erzeugt wird. Das Signal /CSCOMB entsteht durch eine UND-Verknüpfung der /CS-Signale, die Bausteine am langsamen Adress/Datenbus aktivieren. Die Auswahl der /CS erfolgt über das Register EBU Configuration Register (CON).

Hinweis:

/CSCOMB darf nur aktiv werden, wenn auf Peripherie zugegriffen wird, die sich im langsamen Teil des Adress/Daten-Bus befindet. Es kommt sonst beim lesenden Zugriff auf den SDRAM zu Überlagerung der Signale von SDRAM und Bustransceiver.

Beispiel:

$/CSCOMB (/CSGLB) = 0$, wenn $/CS0 = 0$, $/CS2 = 0$ oder $/CS3 = 0$.

Für die verwendeten /CS-Leitungen ist somit für das Bit-Feld GLOBALCS im Register CON der Wert 0x0D zu setzen.

6.1 Bustransceiver

Auf dem ECUCore-1130 befindet sich zur Trennung zwischen High-Speed und Low-Speed-Bus Treiber-Bausteine. Diese haben die Aufgabe, die max. Lastkapazität für den TC1130 auf 30pF zu begrenzen. Dadurch wird es möglich, die DRAMs mit der maximalen Geschwindigkeit zu betreiben. Flash Memory und FPGA werden somit entkoppelt und können bezogen auf das Timing unabhängig vom DRAM betrachtet werden.

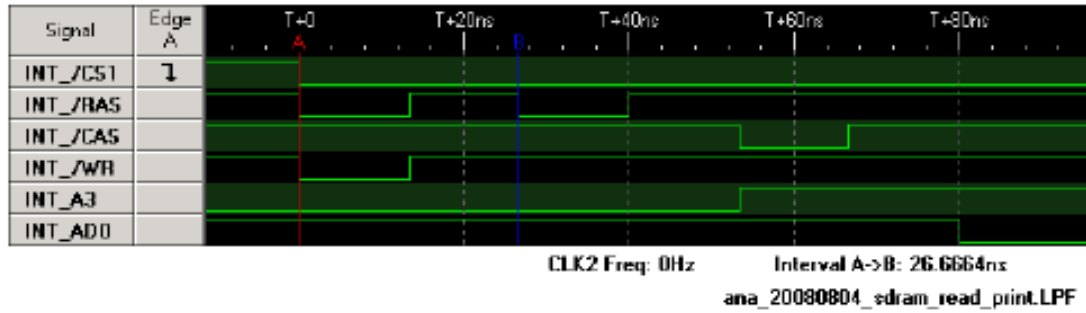
6.2 SDR-DRAM

Der DRAM besitzt 4 Bänke á 8192 Pages und 512 Zeilen á 16Bit. Zwei Bausteine sind an einem 32Bit-Interface angeschlossen. Die Gesamtgröße beträgt daher 64MByte. Bei einer CPU-Frequenz von 150MHz ist eine max. Taktfrequenz von 75MHz für den DRAM einstellbar. Die Ansteuerung erfolgt über /CS1. Die für das Timing relevanten Einstellungen in den EBU-Registern sind in Tabelle 7 aufgeführt.

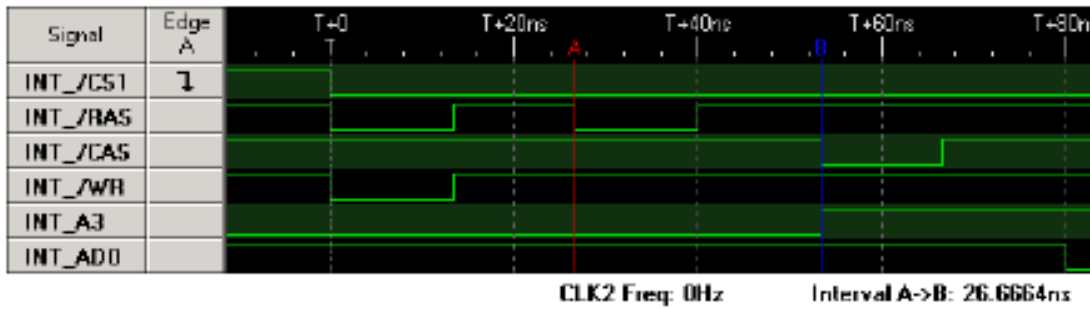
EBU-Register	ADDRSEL1	0xA4000813 (Beispiel)
	BUSCON1	0x30B20000
	BUSAP1	0x42000000
	SDRMMOD0	0x00000023
	SDRMREF0	0x000000D7
	SDRMCON0	0x219E2075
	EBU_CON	0x01F9FFE8

Tabelle 7: Technische Daten SDRAM ECUCore

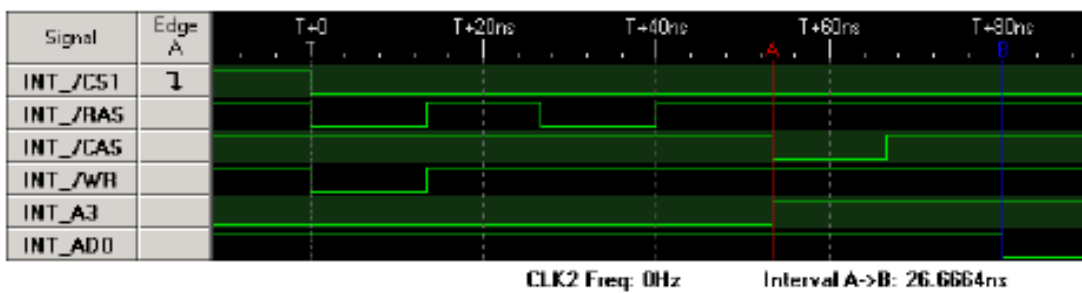
Timing Precharge Command



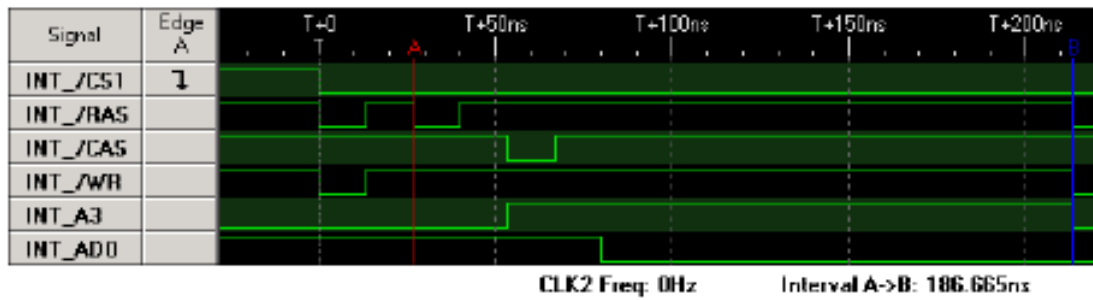
Timing RAS to CAS Latency



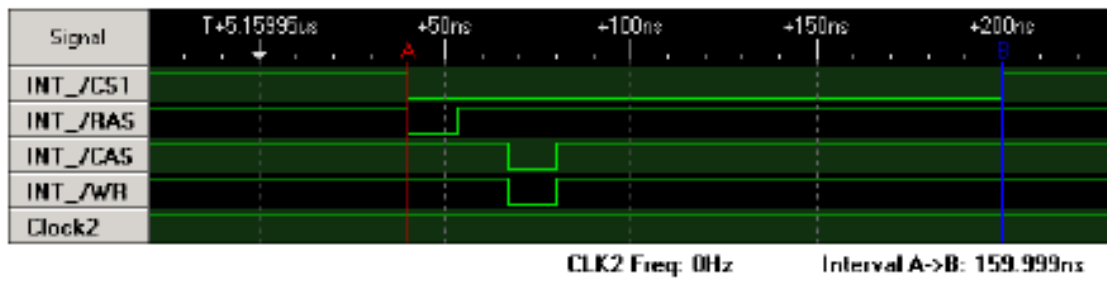
Timing CAS Latency



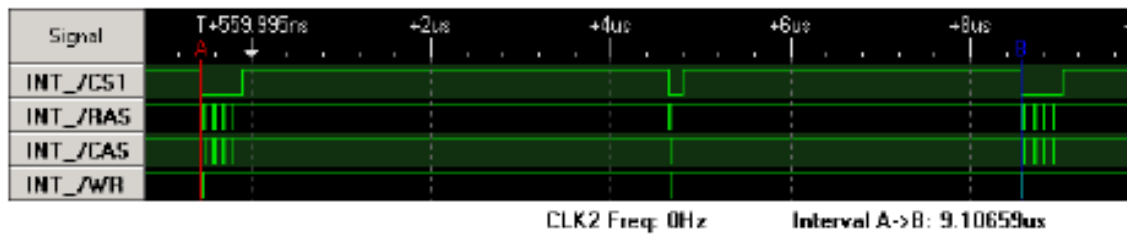
Read Cycle



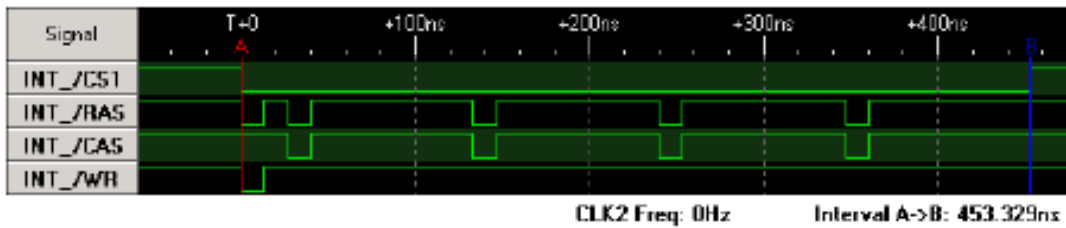
Write Cycle



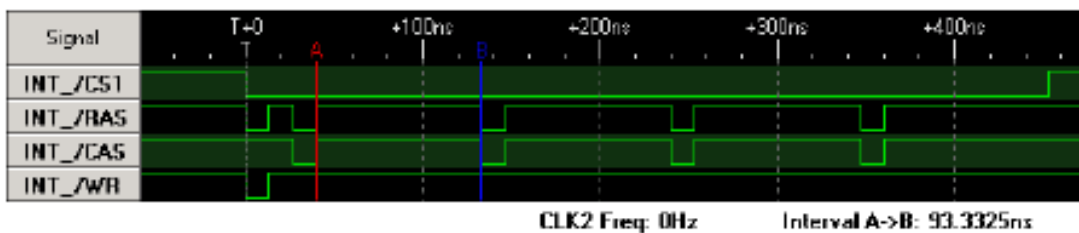
Refresh Intervall



Refresh Cycle



NOP's zwischen zwei Refresh Commands



6.3 Flash Memory

Das ECUcore verfügt über 2 Flash-Bänke. Die erste Flash-Bank dient als Boot-Device (/CS0), die zweite Flash-Bank (/CS2) ist optional. Pro Bank sind zwei 16Bit Bausteine mit einem 32Bit Interface verbunden. Die max. Größe pro Bank beträgt 64MByte, alternativ ist eine Größe von 32MByte und 16MByte bestückbar. Die für das Timing relevanten Einstellungen in den EBU-Registern sind in Tabelle 8 aufgeführt.

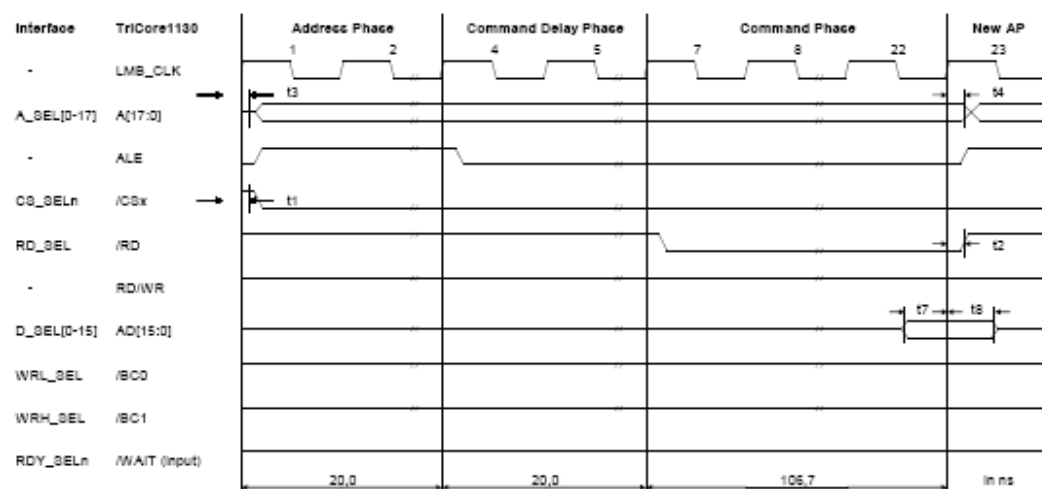
EBU-Register für /CS0	ADDRSEL0	0xA0000813 (Beispiel)
	BUSCON0	0x00922300
	BUSAP0	0xC7230100
	EBU_CON	0x01F9FFE8
	Boot Configuration Value	0x9031

Tabelle 8: Werte der EBU-Register für Flash am /CS0

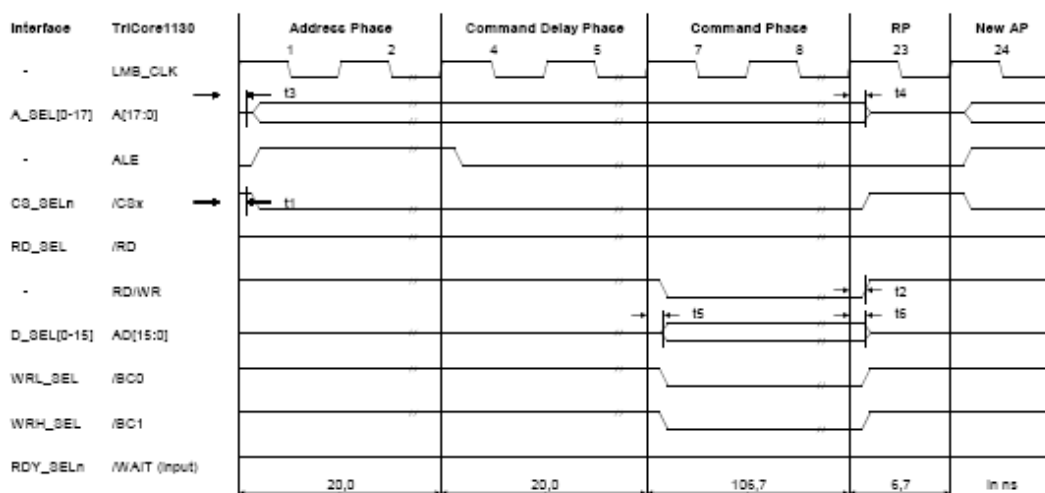
Startet der TC1130 aus dem externen Speicher (Flash), so ist zur Konfiguration der EBU ab Adresse 0x0004 ein Konfigurations-Wort zu hinterlegen. Dieses Wort wird verwendet, um die grundlegende Einstellung für das Interface und das Timing beim Zugriff auf den Flash vorzunehmen.

Für die oben aufgeführten Werte der EBU-Register ist in den folgenden beiden Bildern das Timing dargestellt.

Timing Diagram Read Access



Timing Diagram Write Access



7 On-Chip-Debug Support

7.1 OCDS Level 1/JTAG-Interface

Der Microcontroller TC1130 ermöglicht den Zugriff auf interne Register und Speicher mit Hilfe des OCDS (On-Chip-Debug Suport)-Interface. Die Kommunikation erfolgt hierbei über JTAG (Joint Test Action Group). Es ist möglich Breakpoints zu setzen oder Trigger-Bedingungen zu definieren, bei denen die CPU die Befehlsausführung stoppt.

Das OCDS1/JTAG-Interface des TC1130 liegt am Steckverbinder des ECUcore-1130 an. Für die Verbindung zum PC kann ein Parallel-Port Adapter verwendet werden. Für besonders schnellen Datenaustausch und Programm-Download ist der Debugger UAD2 der Fa. PLS zu empfehlen.

7.2 OCDS Level 2

OCDS Level 2 schließt Level 1 ein und bietet zusätzlich die Möglichkeit, die Programmausführung und Datenzugriffe aufzuzeichnen (Trace-Support). In besonders zeitkritischen Applikationen werden zum Debuggen die Trace-Signale des TC1130 benötigt. Diese Trace-Signale stehen an der OCDS2 Schnittstelle zur Verfügung, die entweder am TC1130 Port 1 oder Port 3 herausgeführt werden.

Wenn das OCDS-L2 Interface genutzt wird, können die Alternativ-Funktionen von Port 1 bzw. Port 3 nicht genutzt werden.

8 Ethernet Controller (PHY U701)

Der TC1130 verfügt über einen integrierten Ethernet Controller mit 10/100 Mbit MII-basierter PHY-Unterstützung.

Das MII-Interface (P1.0...P1.14) ist onboard mit der Ethernet PHY KS8721BL (U701) von Micrel verbunden, welche die Verarbeitung mit 100BASE-TX/10BASE-T unterstützt.

Wenn keine on-board PHY bestückt ist, können die Pins P1.0...P1.14 des MII-Interface als I/O-Pins genutzt werden.

Das ECUcore-TC1130 unterstützt den Einsatz anderer Ethernet-Phys auf der Basisplatine, da das komplette MII-Interface am Steckverbinder zugänglich ist.

MAC Adresse

In einem Computernetzwerk wie das „Local Area Network“ (LAN) ist die MAC-Adresse (Media Access Control) eine eindeutige und einmalig vergebene Hardware-Nummer. Für eine Verbindung zum Internet wird eine Tabelle benutzt, um die zugewiesene IP-Nummer der Hardware-Mac-Adresse zuzuordnen.

Um sicherzustellen, dass jede MAC-Adresse nur einmal vergeben wird, werden alle Adressen an einem zentralen Punkt organisiert. SYSTEC hat eine Vielzahl dieser MAC-Adressen erworben. Die MAC-Adresse des ECUcore-TC1130 findet man auf dem Bar-Code-Aufkleber, welcher auf das ECUcore aufgeklebt ist.

9 I²C-Bus

Der TC1130 unterstützt die Kommunikation zwischen Bausteinen direkt über 2 Leitungen. Eine Leitung ist für den Clock und die andere für den Daten-Transfer.

Der on-chip I²C Bus verbindet den Controller mit on-board-Peripherie direkt und mit off-board-Peripherie über den Steckverbinder. Der I²C Bus unterstützt eine Kommunikation mit bis zu 400kbit/s und ist voll kompatibel mit dem I²C Bus-Protokoll. Die on-board-Peripherie ist mit den Pin P2.12 (SDA0) und Pin P2.13 (SCL0) mit dem Controller verbunden.

Wenn weitere I²C Komponenten off-board angeschlossen werden, muss sichergestellt sein dass die zugewiesene Adresse noch nicht vergeben ist und die Baudrate an die langsamste Komponente angepasst wird.

Tabelle 9: I²C Onboard-Peripherie und die Standardadressen

I²C Onboard-Peripherie	zugewiesene Adresse
Temperatursensor TMP101 (U607)	0x48 / 0x49 / 0x4A
Real-Time-Clock RTC-8564J (U606)	0xA2 / 0xA3

9.1 Temperatursensor (U607)

Das ECUcore-TC1130 ist mit einem Temperatursensor ausgestattet TMP101 (U607) ausgestattet, um die Temperatur auf der Platine zu erfassen. Bedingt durch die gute Wärmeverteilung auf der Platine, entspricht die gemessene Temperatur in etwa der Temperatur der on-board Komponenten.

Er hat folgende Eigenschaften:

- Serielles input/output über I²C auf Adresse 0x48 oder 0x49 oder 0x4A
- Die Adresse ist einstellbar durch Änderung der Widerstände R623 und R624

Tabelle 10: mögliche Adressen des Temperatursensor TMP101

R623	R624	ADD0-Signal	Adresse
bestückt	nicht bestückt	0 (GND)	1001000 = 0x48
nicht bestückt	bestückt	1 (Vcc)	1001010 = 0x4A
nicht bestückt	nicht bestückt	Float	1001001 = 0x49
grau = Standardadressierung			

- Es können bis zu 3 Temperatursensoren am I²C-Bus angeschlossen werden.
- Auflösung der gemessenen Temperatur = 0.0625°C
- Temperaturmessbereich von -50°C bis +125° C
- Alarm (Alert) Pin zur Nutzung als Interruptquelle, um Alarm auszulösen wenn gemessene Temperatur \geq programmierter Höchsttemperatur

Der Alarm-Pin ist mit Interrupt Quelle Pin P3.3 verbunden. Signal ist aktiv-low.

9.2 Real-Time-Clock RTC-8564J (U606)

Für Echtzeit- oder zeitgebundene Aufgaben ist das ECUcore-1130 mit einer Real-Time-Clock RTC-8564 (U606) ausgestattet.

Sie hat folgende Eigenschaften:

- Serielles input/output über I²C auf Adresse 0xA2 / 0xA3
- Clock-Funktionalität mit Kalender über 4 Jahre
- Bit für Jahrtausendwechsel
- universal Timer mit Alarm- und Überlauf-Erkennung
- 24 Stunden Format
- programmierbare Alarm-, Timer- und Interrupt- Funktion
- Stromverbrauch
 - bei aktivem Bus (400kHz): $\leq 1\text{mA}$
 - bei inaktivem Bus und Clockout $\leq 1\mu\text{A}$

Die Real-Time-Clock ist ständig mit Spannung versorgt, wenn an VBAT eine Spannung von 3,3VDC angelegt wird. Im normalem Betrieb wird die RTC über die 3,3VDC der Boardspannung versorgt. Bei Abschalten bzw. Ausfall der Boardspannung wird die RTC durch die optional angeschlossene Batterie versorgt.

Die Programmierung der RTC erfolgt über den I²C-Bus auf den Adressen 0xA2 und 0xA3.

- 0xA2 bei schreibendem Zugriff
- 0xA3 bei lesendem Zugriff

Die RTC besitzt einen Interrupt-Ausgang welcher durch

- einen Clock-Alarm
- einen Timer-Alarm
- einen Timer-Überlauf
- und einen Event-Counter-Alarm

ausgelöst wird.

Der Interruptausgang ist standardmäßig nicht mit dem Controller verbunden (optional realisierbar, am Pin P0.4)

Das Signal CLKOUT ist mit Pin P0.4 (Timer-Input) verbunden.

10 SPI-Interface

Das ECUcore-1130 stellt 2 SPI-Interface zur Verfügung. Alle Signale sind an den Connector geführt und können auf der Basisplatine genutzt werden.

On-board ist ein EEPROM mit 256Kbit (32Mbyte) und maximal 3 Mhz Clock-Input mit dem SPI-Interface 1 verbunden.

Tabelle 11: Beschaltung des SPI-EEPROM

Signal des EEPROM	Pin des TC1130	Beschreibung
SO	P2.5 (MRST1A)	Daten Output des EEPROM, Master Receive Input des TC1130
SI	P2.6 (MTR1A)	Daten Input des EEPROM, Master Transmit Output des TC1130
SCK	P2.7 (SCLK1A)	SPI-Clock Input des EEPROM SPI-Clock Output des TC1130
/CS	P4.5 (Output)	Chip-Select Input des EEPROM Chip-Select Output des TC1130
/WP	n.c.	Write Protect des EEPROM zum Sichern der Status-Register siehe 4.1-Jumper auf Seite 30
/HOLD	n.c.	Halt/Stop der Kommunikation während der Datenübertragung, /Hold wird nicht unterstützt, (Pull Up)

Weitere SPI-Interface-Komponenten sind nicht angeschlossen, können aber auf der Basisplatine realisiert werden.

11 FPGA Lattice ECP2-6

Das ECUcore-TC1130 enthält einen Lattice ECP2-6 FPGA (U109), der 132 zusätzliche I/O's bereitstellt. Der FPGA ist mit dem Adress/Datenbus des TC1130 verbunden und liegt am Chip-Select /CS3. Alle I/O's sowie alle benötigten Signale zur Konfiguration bzw. für weitere Bootquellen stehen am Steckverbinder X1001 zur Verfügung.

Der FPGA besitzt keinen internen Flash zum Speichern des internen Programms, daher besitzt er einen seriellen Flash (U903) exklusiv nur für den FPGA. Die Speichergröße beträgt 2MByte und kann nur vom FPGA aus konfiguriert werden.

Optional gibt es die Möglichkeit den FPGA auch vom Mikrocontroller aus zu programmieren, dabei wird das Programm im externen Flash des ECUcore-TC1130 gespeichert.

Weitere Bootquellen lassen sich auf der Basisplatine realisieren, da alle Konfigurations-Pins an der Basisplatine bereitstehen. Die dazu benötigte Konfigurationseinstellung lässt sich über Jumper auf dem ECUcore-TC1130 einstellen (siehe Abs. 4.1).

Der FPGA des ECUcore-TC1130 ist standardmäßig mit einem Verschlüsselungssystem ausgestattet. Das bedeutet:

- das interne Programm lässt sich weder auslesen noch verändern
- die zu ladenden Programme müssen den programmierten Schlüssel enthalten, damit der FPGA arbeitet

12 Vorgaben für die Basisplatine

Für die Basisplatine sind folgende Punkte zu realisieren bzw. zu beachten um die Leistungsfähigkeit des Systems nutzen zu können.

12.1 Erweiterungen am Local-Memory-Bus

1. Wenn alle Chip-Select Leitungen belegt sind, dass heißt alle Komponenten (SDRAM, Flash_1, Flash_2 und FPGA) sind bestückt, dann müssen alle weiteren Komponenten am LMB über Bustranceiver vom System entkoppelt werden. Diese Maßnahme ist notwendig um die Lastkapazität auf 50 pF zu begrenzen.
2. Wenn nicht alle Chip-Select Leitungen belegt sind, dass heißt nicht alle Komponenten bestückt sind, so kann 1 Komponente direkt (ohne Bus-Tranceiver) mit dem System gekoppelt werden. Vorausgesetzt die maximale Eingangskapazität der Komponente ist ≤ 8 pF. Sollen weitere Komponenten hinzukommen müssen diese dann über Bus-Tranceiver vom System entkoppelt werden.
3. Die maximale Leitungslänge vom Steckverbinder bis zur ersten Komponente (Peripherie-Komponente oder Bus-Tranceiver) darf maximal 60 mm betragen.
4. Der TC1130 unterstützt mit seinen Steuerleitungen kein 8Bit-Interface. Memory-mapped IOs sind daher in einer 16Bit-Organisation anzuschließen oder der obere Teil eines Datenwortes wird softwareseitig ausgeblendet.

12.2 Beschaltung für JTAG-Interface

1. Die Leitungslängen der JTAG-Signal Leitungen TMS, TDI, TDO, TCK, /TRST und /TRCLK vom Steckverbinder zur Peripherie auf der Basisplatine darf maximal 70 mm und minimal 55 mm betragen.
2. Die Leitungslängen sollten möglichst alle gleich lang sein (maximale Differenz 10 mm). Die Leitung TCK sowie

/TRCLK sind die längsten Leitungen, alle anderen entweder gleich lang oder kürzer.

3. Die Signale TDI, TMS, /TRST und TCK sind bei Einhaltung der Punkte 1. und 2. mit Serienwiderständen von 82 Ohm als Terminierungswiderstände so nah wie möglich an der Quelle zu versehen.

12.3 Beschaltung Port Pins des TC1130

- Der TC1130 darf max. mit einem Strom von 1mA pro port Pin belastet werden.
- Die Port Pins besitzen bis auf wenige Ausnahmen intern einen Pull-up bzw. Pull-down. Nach RESET ist stest der Pull-up aktiv. Per Software kann der Pull-up/down abgeschaltet oder der komplementäre Widerstand aktiviert werden.
- Die Port Pins P2.12-P2.15 können als Ausgänge nur vom Typ Open Drain verwendet werden. Die internen Pull-up/down-Widerstände sind nicht vorhanden.
-

13 Technische Daten

Feature	Realisierung	Eigenschaften, Hinweise
CPU	TC1130, ab Step BB	32 - Bit TriCore V1.3 CPU SAF-TC1130-L150E=150MHz
Businterface	32Bit, non-multiplexed Address/Data-Bus	EBU Interface 4 CS Leitungen /CS0: Boot-Flash /CS1: DRAM /CS2: Daten-Flash /CS3: FPGA (multiplexed 32Bit Interface)
RAM	SDR-DRAM, (2x16Bit) 64MByte: 2 x 32 Mbyte	Bestückungsvarianten: 32MByte: 2 x 16 Mbyte 16MByte: 2 x 8 Mbyte
Flash	syncFlash (2x16 Bit) 2 Flash-Bänke a 64 MByte	Verwendung findet Strata-Flash von INTEL
FPGA	ECP2-Familie von Lattice	optional bestückt
RTC	RTC8564	Pufferung: extern Interface: I ² C
Temperatur-sensor	TMP100	Interface: I ² C
CAN	4 x CAN on-chip	CAN-Transceiver auf dem Baseboard
Ethernet	1 x Ethernet on-chip	on-board 10/100MBit PHY
UART	3 x on-chip	RS-232-Transceiver auf dem Baseboard
Temperaturbereich	T _A = -40°C - +70°C	für alle Bauteile und Steckverbinder
Watchdog	Standard-Watchdog (T = 1.6s)	- unabhängige Zeitbasis zur CPU - unabhängiges Bauteil - Timeout: 1s ... 2s
Spannungsversorgung	3.3VDC±4%	Alle weiteren on-board benötigten Spannungen werden mit Schaltreglern erzeugt.
Pufferspannung RTC	3.3VDC±5%/0.6µA	
Leistungsaufnahme	≤ 5W	

Testbarkeit	Unterstützung JTAG, Boundary Scan	
Port Pins	Push/Pull bzw. OpenDrain	Bis auf P2.12-P2.15 können die Port Pins sowohl als Push/Pull als auch Open Drain konfiguriert werden.
	Pullup/Pulldown	Bis auf P2.12-P2.15 besitzen alle Port Pins einen internen Pullup/Pulldown. Die Pullups/Pulldown können per SW ein- bzw. ausgeschaltet werden. Nach RESET ist Pullup aktiv.
	Zustand nach RESET	Port Pins sind Eingänge, Pullup ist aktiv
	Strombelastbarkeit	Die max. Strombelastbarkeit pro Port Pin liegt bei 1mA.

Tabelle 12: Eigenschaften ECUcore-1130

Dokument:	ECUcore-1130
Dokumentnummer:	L-1127d_4, Auflage November 2008

Wie würden Sie dieses Handbuch verbessern?

Haben Sie in diesem Handbuch Fehler entdeckt?

Seite

Eingesandt von:

Kundennummer:

Name:

Firma:

Adresse:

Einsenden an: SYS TEC electronic GmbH
August-Bebel-Str. 29
D-07973 Greiz
GERMANY
Fax : +49 (0) 36 61 / 62 79 99

Veröffentlicht von

© SYS TEC electronic GmbH 2008

SYS TEC
ELECTRONIC

Best.-Nr. L-1127d_4
Printed in Germany